

组合电路应用实验

1. 字符编码显示电路实验

1. 实验目的

- (1) 掌握组合电路逻辑功能的测试方法。
- (2) 掌握 TTL 逻辑门组合应用和七段显示器使用方法。
- (3) 了解组合逻辑电路的设计方法。

2. 实验原理

组合逻辑电路的输出状态完全取决于同一时刻输入状态的组合，与电路原来的输出状态无关。图 3-2-5 是一个由逻辑门构成编码显示组合电路，可以分析，6 个输出 $Y_a, Y_b, Y_c, Y_d, Y_e, Y_g$ 与两个输入 $K1, K0$ 有一一对应的逻辑关系。两个输入组合成四种编码输出状态，控制七段显示器显示四个特定字符。

(1) 七段共阴显示器原理

七段显示器内部由八个发光二极管组成，七个段划和一个小数点，位置排成“日.”形。八个发光二极管的连接方式有共阴接法和共阳接法两种。共阳接法就是把所有发光二极管的阳极都接在一起，形成一个

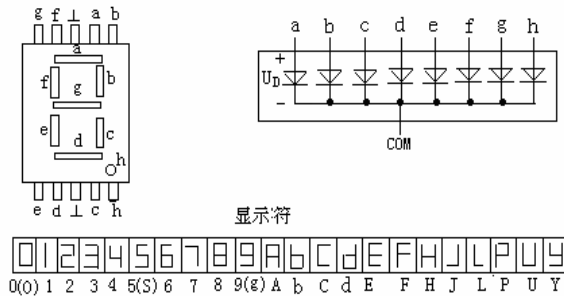


图 3-2-1 共阴极七段显示器内部原理及外引线图

由高电平驱动的公共端 COM，各管的阴极由低电平有效的段码信号 a~g 控制。共阴接法则相反，它的公共端 COM 是所有发光二极管的阴极，由低电平驱动，而各段发光二极管的阳极由高电平驱动。图 3-2-1 表示了七段共阴显示器的内部原理、外引线排列图以及常用显示符。各段发光二极管正向导通时发光，导通电压 U_D 约为 2V，导通电流 I_D 约需 3-10 毫安，电流太大可能会损坏器件。所以，使用时必须根据所加信号的幅度选择限流电阻。图 3-2-5 中，七段共阴显示器的公共端 COM 接地，段控制端 a~g 通过限流电阻接 5V 电源。由于 TTL 逻辑门输出的高电平驱动能力有限，所以或非门输出通过反相缓冲器 1413 (2003) 驱动显示器的 a, b, c, d, e, g 各段。其中 f 直接通过限流电阻接电源，不受输入 $K1, K0$ 控制，所以 f 段始终发光。

(2) 集电极开路的反相缓冲器功能

1413 (2003) 为集电极开路 (Open Collector) 反相达林顿结构，内部有 7 个互相独立的复合达林顿管。电路原理及引脚排列如图 3-2-2(a)所示。当缓冲器输入为低电平“0”时，复合管截止，OC 输出为高阻状态，对外电路没有影响，相应段的发光管仍然导通；当缓冲器输入为高电平“1”时复合管导通，输出低电平使相应段的发光管截止。所以当图 3-2-5 电路中或非门输出为“0”时，显示段亮，输出为“1”时，显示段灭。

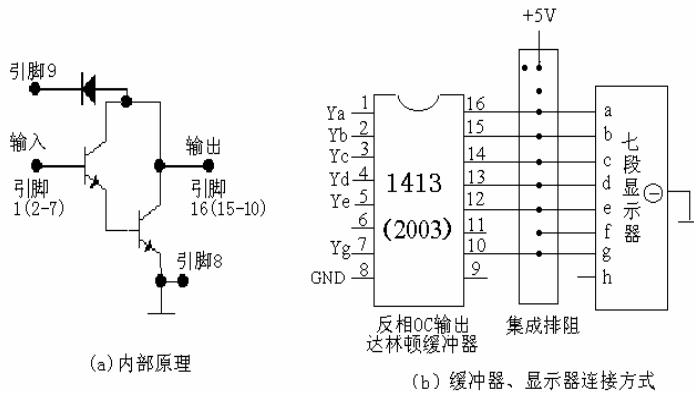


图3-2-2 1413内部原理及引脚排列

(3) 动态扫描显示原理

图 3-2-5 电路中采用一个显示器根据 $K0, K1$ 控制显示不同的字符。如果 $K0, K1$ 由一个 2 位二进制计数器的输出控制，使 $K0, K1$ 的状态呈“00”→“01”→“10”→“11”→“00”自动顺序变化，则四个字符亦随控制码顺序循环显示。

如果采用四个共阴显示器组成如图 3-2-3 所示的动态扫描显示电路，替代图 3-2-5 中的一个七段显示器，则四个显示字符可以同时稳定显示。

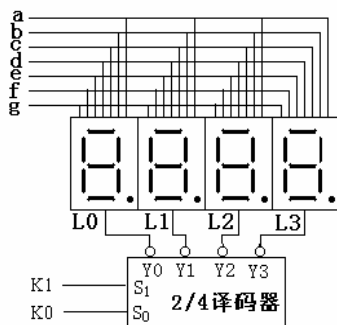


图 3-2-3 扫描显示电路结构框图

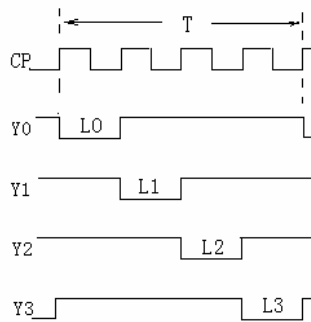


图3-2-4 动态扫描显示时序

四个显示器的阳极 $a\sim g$ 一一对应连接，由缓冲器的输出控制。各显示器的阴极公共端信号 $Y0\sim Y3$ 由 $K0, K1$ 通过 2 线-4 线通用译码器顺序产生，扫描控制时序如图 3-2-4 所示。由于任意瞬时只有一个共阴显示器的阴极为低电平，所以此时反相缓冲器输出的阳极控制信号只能对该显示器有效，使之显示相应的字符，其他阴极为高电平的显示器呈灭显状态。这样，扫描时钟信号 CP 控制计数器使各显示器分时轮流选通，同时控制逻辑门编码电路产生不同的字符显示段信号，使各显示器逐位顺序显示。每位显示的时间为一个 CP 周期，显示扫描周期 T 为时钟周期的 4 倍。只要扫描时钟频率足够高，使每个显示器每秒的导通次数大于 50 次（四位显示的扫描时钟频率大于 200Hz），由于人眼的视觉暂留效应，可以观察到各位显示器同时显示。时钟频率越高，显示越稳定。

3. 实验参考电路

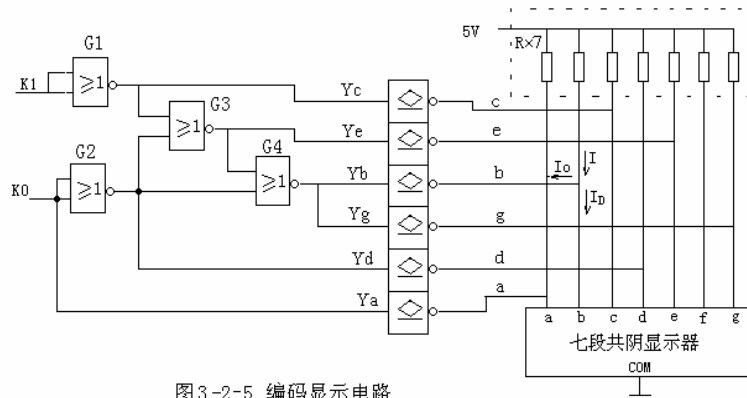


图 3-2-5 编码显示电路

4. 实验预习要求

(1) 根据图 3-2-5，列出电路各输出端的逻辑表达式，并将输入 $K1$ ， $K0$ 为不同状态时，逻辑门电路的输出 Y_a ， Y_b ， Y_c ， Y_d ， Y_e ， Y_g 和七段共阴显示器输入 $a\sim g$ 及相应的显示字符填入表 3-2-1 中。

(2) 用 2 输入与非门设计显示自选字符，如“H”，“0”，“P”，“E”（“H”，“E”，“L”，“P”或“C”，“L”，“E”，“A”等）。列出真值表，写各输出的逻辑表达式，画出电原理图，标出引脚编号。逻辑门的个数不能超过 8 个。逻辑门采用四-2 输入与非门 74LS00，引脚排列见实验 4.1 图 4-1-2 (c)

(3) 根据发光二极管发光时的导通电压和导通电流选择限流电阻的阻值。

* (4) 根据动态扫描原理设计电路，画出电路原理图。其中 2 位二进制计数器用双 JK 触发器构成，型号从附录中自选。双 2 线-4 线译码器的型号为 74LS139，功能及引脚排列查阅实验 3.5 图 3-5-1。

(5) 认真阅读实验内容与步骤部分，充分了解实验方法和过程。

表 3-2-1 图 3-2-5 电路输入、输出逻辑关系

$K1$	$K0$	Y_a	Y_b	Y_c	Y_d	Y_e	Y_g	a	b	c	d	e	f	g	显示字符
0	0												亮		
0	1												亮		
1	0												亮		
1	1												亮		

5. 实验内容和步骤

(1) 检查实验装置与器件。

根据四-2 输入或非门 74LS02 的逻辑功能检查器件。或非门的输入信号由数字逻辑实验箱上的逻辑开关提供，输出状态用箱上的逻辑指示灯检查。当任一开关的状态为高电平“1”时，或非门输出低电平“0”，指示灯不亮。当两个开关的状态均为低电平“0”时，或非门输出高电平“1”，指示灯亮。

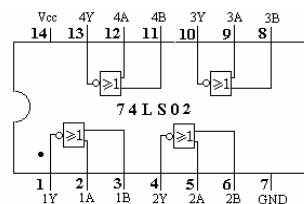


图 3-2-6 双列直插四-2输入或非门 74LS02 引脚图

(2) 按图 3-2-5 电路连线, 输入 KI 、 KO 接逻辑开关。限流电阻采用 8 联集成电阻, 9 个引脚, 内部连接方式如图 3-2-5 虚线框所示。8 联电阻的公共端有标记“•”, 接+5V 电源。集成电阻直接插在反相缓冲器的输出引脚边, 如图 3-2-2 所示, 以减少连线。缓冲器输出 $a\sim g$ 接共阴显示器的段码输入端, 显示器公共端 COM 接地。

根据表 3-2-1 改变开关状态, 观察显示字符是否与分析的结果相同。

(3) 按预习要求 (2) 设计的电路改接编码组合电路部分 (缓冲器和显示器电路不变), 观察显示结果并与设计要求比较。

* (4) 用 JK 触发器连接成两位二进制异步计数器, 控制编码显示电路的输入 KI , KO , 扫描时钟采用逻辑实验仪输出的 1Hz 脉冲信号, 观察显示效果。

* (5) 按预习内容 (4) 设计的电路连接动态扫描显示电路, 扫描时钟频率改为 1kHz, 观察实验结果。

6. 实验设备和器材

(1) 数字逻辑实验箱	1 台
(2) 双列直插集成四-2 输入 TTL 或非门 74LS02	2 片
(3) 双列直插集成四-2 输入 TTL 与非门 74LS00	1 片
(4) 七段共阴显示器	1 个
(5) 九引脚 8 联集成电阻	1 个
(6) 集成七达林顿 OC 反相缓冲器 1413 (2003)	1 片
* (7) 双 JK 触发器	1 片
* (8) 2 线-4 线译码器 74LS139	1 片
(9) 数字万用表	1 台

7. 实验思考题

(1) 若限流电阻为 $1K\Omega$, 当反相缓冲器输入 Yb 为“1”时, 输出信号电平约为 0.3V 左右。根据发光二极管的导通电压和电流, 图 3-2-5 电路中的 I , I_D , I_O 各为多少? 当 Yb 为“0”时, 各电流又为多少?

(2) 若动态扫描显示电路的时钟频率为 1Hz, 四位字符可能如何显示? 如果时钟频率为 100Hz 呢?

8. 实验报告要求

- (1) 预习要求 (1), (2) 的内容。
- (2) 列出限流电阻参数选择的计算方法。
- (3) 回答思考题。

2. 编码器和译码器实验

1. 实验目的

- (1) 掌握中规模集成电路译码器、编码器的逻辑功能和使用方法。
- (2) 利用译码器、编码器进行组合逻辑电路设计。

2. 实验原理

(1) 编码器

编码器的逻辑功能是将输入信号中的一个有效信号变换成相应的一组二进制代码输出。

优先编码器定义了所有输入信号的优先级别。当多个输入信号同时有效时，优先编码器输出的是对应优先权最高的信号编码值。

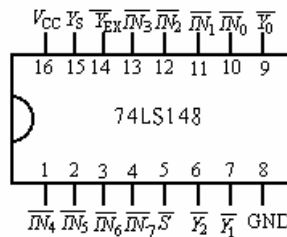


图 3-3-1 8 线-3 线优先编码器 74LS148 的引脚排列图

图 3-3-1 给出 8 线-3 线优先编码器 74LS148 的引脚排列图。 \overline{S} 为使能控制端或称选通输入端。选通输出端 Y_S 和扩展端 \overline{Y}_{EX} 的功能是实现编码位数（输入信号数）的扩展。 $\overline{IN}_0 \sim \overline{IN}_7$ 是 8 个输入信号（编码对象），低电平有效。 \overline{IN}_7 的优先权最高， \overline{IN}_0 的优先权最低。编码输出是 3 位二进制代码，用 $\overline{Y}_2 \overline{Y}_1 \overline{Y}_0$ 表示。表 3-3-1 为 8 线-3 线优先编码器的真值表。

表 3-3-1 8 线-3 线优先编码器真值表

输 入									输 出				
\overline{S}	\overline{IN}_0	\overline{IN}_1	\overline{IN}_2	\overline{IN}_3	\overline{IN}_4	\overline{IN}_5	\overline{IN}_6	\overline{IN}_7	\overline{Y}_2	\overline{Y}_1	\overline{Y}_0	\overline{Y}_{EX}	Y_S
1	Φ	Φ	Φ	Φ	Φ	Φ	Φ	Φ	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	Φ	Φ	Φ	Φ	Φ	Φ	Φ	0	0	0	0	0	1
0	Φ	Φ	Φ	Φ	Φ	Φ	0	1	0	1	0	0	1
0	Φ	Φ	Φ	Φ	0	1	1	1	0	1	1	0	1
0	Φ	Φ	Φ	0	1	1	1	1	1	0	0	0	1
0	Φ	Φ	0	1	1	1	1	1	1	0	1	0	1
0	\times	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

在 $\overline{S} = "0"$ 时，编码器允许工作。当 $\overline{IN}_0 \sim \overline{IN}_7$ 8 个输入中有 "0" 时，输出一组优先

权最高的有效输入所对应的二进制代码。比如当 $\overline{S} = \overline{IN}_1 = \overline{IN}_3 = \overline{IN}_4 = \overline{IN}_6 = "0"$ 时， \overline{IN}_6 的优先权最高，输出 $\overline{Y}_2 \overline{Y}_1 \overline{Y}_0 = "001"$ （见表 3-3-1 第 4 行）。

(2) 译码器

译码是编码的逆过程，它的逻辑功能是将每个输入的二进制代码，译成对应输出的高、低电平信号。译码器有变量译码器和显示译码器之分。

① 变量译码器

变量译码器的逻辑功能是将输入的 n 位二进制代码译成 2^n 个输出变量。每个输出变量与唯一的一组输入码对应，当输入为某组码时，仅有与其对应的输出信号为有效电平，其他输出均为无效电平。典型的变量译码器型号为 3 线—8 线译码器 74LS138。图 3-3-2 所示为 3 线—8 线译码器 74LS138 的引脚排列图。

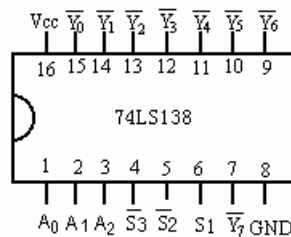


图 3-3-2 3 线—8 线译码器 74LS138 的引脚排列图。

其中 $A_2 A_1 A_0$ 为 3 条译码输入端， $\overline{Y}_0 \sim \overline{Y}_7$ 为 8 条译码输出端，低电平有效。 S_1 ， \overline{S}_2 ， \overline{S}_3 为使能选通端。表 3-3-2 所示为 3 线—8 线译码器 74LS138 的真值表。

表 3-3-2 3 线—8 线译码器真值表

S_1	$\overline{S}_2 + \overline{S}_3$	A_2	A_1	A_0	\overline{Y}_0	\overline{Y}_1	\overline{Y}_2	\overline{Y}_3	\overline{Y}_4	\overline{Y}_5	\overline{Y}_6	\overline{Y}_7
ϕ	1	ϕ	ϕ	ϕ	1	1	1	1	1	1	1	1
0	ϕ	ϕ	ϕ	ϕ	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

由表 3-3-2 可见，当 $S_1 = "1"$ ， $\overline{S}_2 + \overline{S}_3 = "0"$ 时，不论输入 A_2 、 A_1 、 A_0 为何状态，输出 $\overline{Y}_0 \sim \overline{Y}_7$ 中有且仅有一个为有效电平“0”，有效输出端的下标序号与输入二进制码所对应的十进制数相同。

变量译码器除了实现译码功能外，可以作为数据分配器使用。如果利用使能选通端中的

一个输入串行数据信号，变量译码器就实现数据分配功能。另外，变量译码器还可以用来方便地实现多输出逻辑函数。

②显示译码器

把输入的二十进制代码转换成十进制数码各段驱动信号的电路称为显示译码器。图 3-3-3 为七段显示译码器 74LS48 的引脚排列图。

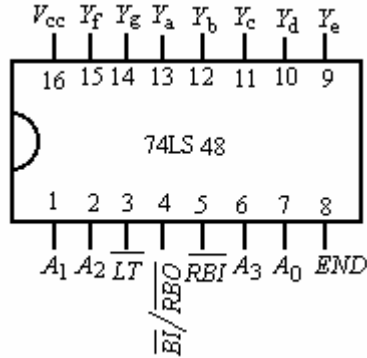


图 3-3-3 七段显示译码器 74LS48 引脚排列图

其中 $A_3 \sim A_0$ 为译码器的输入信号， $Y_a \sim Y_g$ 为译码器的 7 个输出， \overline{LT} 为译码器的灯测试输入， $\overline{BI} / \overline{RBO}$ 为译码器的消隐输入/灭零输出， \overline{RBI} 为灭零输入。表 3-3-3 为七段显示译码器的真值表。

表 3-3-3 七段显示译码器的真值表

十进制 或功能	输入				$\overline{BI} / \overline{RBO}$	输出							
	\overline{LT}	\overline{RBI}	A_3	A_2		A_1	A_0	Y_a	Y_b	Y_c	Y_d	Y_e	Y_f
0	1	1	0	0	0	0	1	1	1	1	1	1	0
1	1	ϕ	0	0	0	1	1	0	1	1	0	0	0
2	1	ϕ	0	0	1	0	1	1	0	1	1	0	1
3	1	ϕ	0	0	1	1	1	1	1	1	0	0	1
4	1	ϕ	0	1	0	0	1	0	1	1	0	0	1
5	1	ϕ	0	1	0	1	1	1	0	1	1	0	1
6	1	ϕ	0	1	1	0	1	0	0	1	1	1	1
7	1	ϕ	0	1	1	1	1	1	1	0	0	0	0
8	1	ϕ	1	0	0	0	1	1	1	1	1	1	1
9	1	ϕ	1	0	0	1	1	1	1	0	0	1	1
10	1	ϕ	1	0	1	0	1	0	0	0	1	1	0
11	1	ϕ	1	0	1	1	1	0	0	1	1	0	0
12	1	ϕ	1	1	0	0	1	0	1	0	0	0	1
13	1	ϕ	1	1	0	1	1	1	0	0	1	0	1
14	1	ϕ	1	1	1	0	1	0	0	0	1	1	1
15	1	ϕ	1	1	1	1	1	0	0	0	0	0	0

消隐	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	0	0	0	0	0	0	0
脉冲消隐	1	0	0	0	0	0	0	0	0	0	0	0	0
灯测试	0	ϕ	ϕ	ϕ	ϕ	ϕ	1	1	1	1	1	1	1

根据表 3-3-3 七段显示译码器 74LS48 的真值表, 简单介绍三个功能端 \overline{LT} , $\overline{BI}/\overline{RBO}$ 和 \overline{RBI} 的工作情况。

灯测试输入: 当 $\overline{LT} = 0$ 且 $\overline{BI} = 1$ 时, 无论 $A_3 \sim A_0$ 状态如何, 输出 $Y_a \sim Y_g$ 全部为高电平, 都可使被驱动数码管的七段同时点亮, 以检查该数码管各段能否正常发光。利用这个功能可以判断显示器的好坏。

消隐输入: 也称灭灯输入。 \overline{BI} 为消隐输入, 当 $\overline{BI} = 0$ 时, 无论 \overline{LT} , \overline{RBI} 及输入 $A_3 \sim A_0$ 为何值, 所有各段输出 $Y_a \sim Y_g$ 均为低电平, 显示器处于熄灭状态。 \overline{RBO} 为灭零输出。

灭零输入: \overline{RBI} 可以按数据显示需要, 将显示器所显示的 0 予以熄灭, 而在显示 1-9 时不受影响。它在实际应用中是用来熄灭多位数字前后不必要的零位, 使显示的结果更醒目。

将灭零输入端与灭零输出端配合使用, 很容易实现多位数码显示系统的灭零控制。

在数字系统中, 经常需要将被测量或数值运算结果用十进制数码显示出来。由于显示器件和显示方式不同, 在各类显示器件中, 目前使用最为广泛的是由发光二极管构成的七段显示数码管。将七个发光二极管按一定的方式连接在一起, 就构成七段显示数码管。它有共阳极和共阴极两种连接方式, 如图 3-3-4 所示。

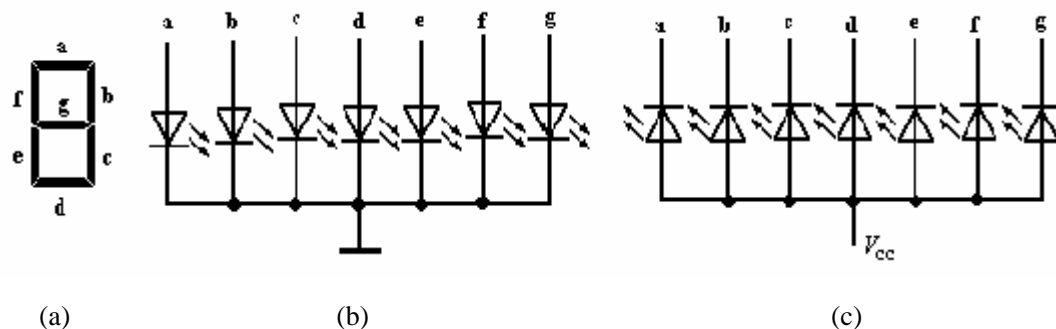


图 3-3-4 七段显示数码管结构

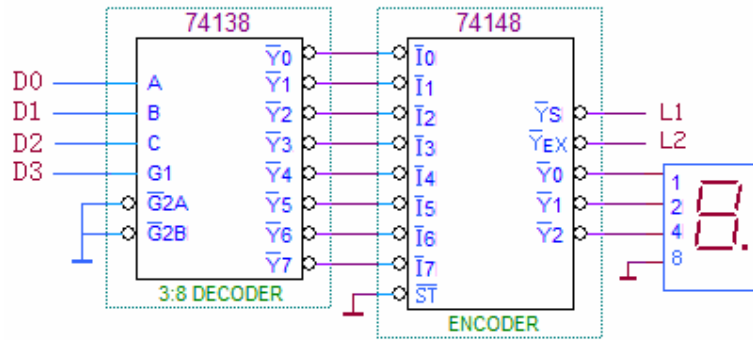
(a) 七段显示器 (b) 共阴极连接 (c) 共阳极连接

本实验采用的型号为 BS201 共阴极式显示器, 它与 74LS48 译码器配套使用。

3. 实验预习要求

- (1) 复习有关编码器和译码器的原理。
- (2) 了解所用集成电路的功能和外部引线排列。
- (3) 根据实验任务, 画出所需的实验电路图及记录表格

4. 实验内容和步骤



(1) 按上图接线，D0~D3 接数字电路实验箱的电平按键开关，输出 L1、L2 接发光二极管，3 位编码输出分别接内部带译码器的数码管 1，2，4 输入端，数码管端子 8 接地。数电实验箱内部已经为这两个数码管设计连接了译码驱动电路，只要将四位二进制码接入就可显示 16 进制数 0~F。

(2) D3 接高电平，D2D1D0 三位依次置入 000~111，观察数码管显示。记录此时的 YEX 和 YS。然后重新将 D2D1D0 三位置入 011，将 I6 连接到 Y6 的导线 74LS138 输出端的一头拔出，改为接地，观察数码管显示。将结果填入表 3-19-4 中。

(3) D3 改接低电平，观察数码管显示，记录此时的 YEX 和 YS。将结果填入表 3-19-4 中。

表 3-19-4 译码编码实验记录表

输 入					输 出		
D3	D2	D1	D0	\bar{I}_6	显示数码	\bar{Y}_{EX}	\bar{Y}_S
1	0	0	0	-			
1	0	0	1	-			
1	0	1	0	-			
1	0	1	1	-			
1	1	0	0	-			
1	1	0	1	-			
1	1	1	0	-			
1	1	1	1	-			
1	0	1	1	接地			
0	x	x	x	-			

5. 实验设备与器材

- | | |
|------------------------------|-----|
| (1) 数字逻辑实验箱 | 1 台 |
| (2) 双踪示波器 | 1 台 |
| (3) 函数信号发生器 | 1 台 |
| (4) 集成芯片：74LS148，74LS138，显示器 | 若干 |

6. 实验思考题

- (1) 用一片 74LS138 和一片 74LS20 设计并实现一位全减器。

3. 数据选择器和数据分配器应用实验

1. 实验目的

- (1) 了解变量译码器和数据选择器的逻辑功能和具体应用。
- (2) 熟悉中规模组合逻辑器件功能的测试和设计方法。

2. 实验原理

(1) 变量译码器

变量译码器有 n 个输入， 2^n 个输出，每个输出唯一地对应一组输入构成的二进制码，当且仅当输入组合为该码时，输出呈有效电平。中规模 TTL 集成译码器有 74LS139（双 2 输入、4 输出）、74LS138（3 输入、8 输出）和 74LS154（4 输入、16 输出），输出均为低电平有效，并具有低电平有效的使能控制端 \overline{S} 。变量译码器除在数字系统中起二进制译码作用外，还可实现组合逻辑函数、数据分配等功能。

74LS139 的引脚图如图 3-5-1 (a) 所示，片上有两个独立的 2 线-4 线译码器，各输出逻辑表达式为：

$$\overline{Y_0} = \overline{\overline{S} \cdot \overline{A_1} \cdot \overline{A_0}}, \quad \overline{Y_1} = \overline{\overline{S} \cdot \overline{A_1} \cdot A_0}, \quad \overline{Y_2} = \overline{\overline{S} \cdot A_1 \cdot \overline{A_0}}, \quad \overline{Y_3} = \overline{\overline{S} \cdot A_1 \cdot A_0}$$

显然，当使能 \overline{S} 为有效电平“0”时，如果译码器 A_1, A_0 输入的是逻辑函数的输入变量 $A,$

B ，则 $\overline{Y_i}$ 代表了 A, B 构成的最小项 m_i 的反函数（最大项）。所以，2 线-4 线通用译码器可附加与非门（与门）实现用标准与-或（标准或-与）表达式表示的二变量组合逻辑函数。同理， n 线- 2^n 线通用译码器可实现 n 变量的组合逻辑函数。

如果把译码器的使能端 \overline{S} 作为数据输入端，则可实现数据分配功能。被分配的串行数字信号 D_i 从 \overline{S} 输入，当 A_1, A_0 为不同的二进制码时， D_i 信号被分配到译码器对应的输出端 $\overline{Y_i}$ 。

比如 $A_1 A_0$ 为“11”时， D_i 信号被分配到 $\overline{Y_3}$ ，此时 $\overline{Y_0} \sim \overline{Y_2}$ 输出均为高电平。

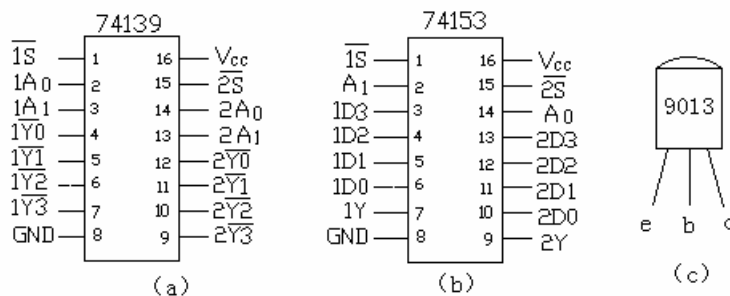


图 3-5-1 器件引脚排列

(2) 数据选择器

数据选择器有 n 位控制信号， 2^n 个数据输入。每组控制码能够选择唯一的一个数据输出，类似由控制码切换的多选-一开关。中规模 TTL 集成数据选择器有 74LS153（双 4 选 1）和 74LS151（8 选 1），都具有低电平有效的使能控制端 \overline{S} 。数据选择器的主要功能是实现多路

信号的选择,当控制端输入函数的逻辑变量、数据端输入函数值时,可以实现组合逻辑函数。

74LS153的引脚功能如图3-5-1(b)所示,片上有两个4选1数据选择器,控制端 A_1, A_0 共用。输出逻辑表达式为:

$$Y = S(A_1 A_0 D_0 + A_1 A_0 D_1 + A_1 A_0 D_2 + A_1 A_0 D_3)$$

图3-5-2为一个报警控制电路,其中数据选择器选择两个不同频率的信号控制音频蜂鸣器。音频蜂鸣器的有效信号频率在20Hz~2kHz音频范围内,频率不同音调不同。声音的强弱与音频蜂鸣器的驱动电流成正比。由于TTL电路的驱动能力有限,为提高音量,采用NPN三极管9013进行电流放大。三极管工作在开关状态,当数据选择器输出E为“0”时,三极管截止,蜂鸣器没有电流通过;当E为“1”时,三极管饱和, U_{ce} 约为0.2V,蜂鸣器得电。当E的信号切换频率在音频范围内时,蜂鸣器鸣响。9013的引脚如图3-5-1(c)所示。

3. 实验参考电路

- (1) 声光报警电路如图3-5-2所示。
- (2) 函数发生器如图3-5-3所示。

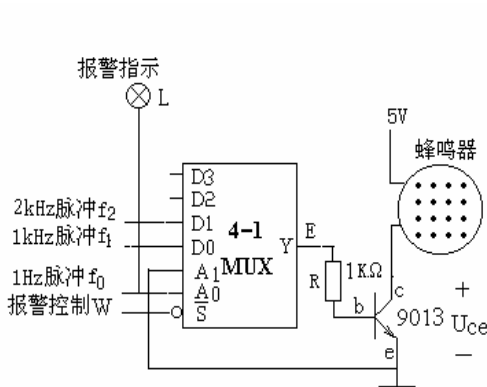


图 3-5-2 声光报警电原理图

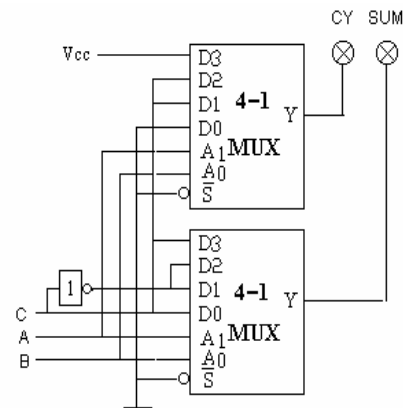


图 3-5-3 用数据选择器实现的函数发生器电原理图

4. 实验预习要求

- (1) 复习译码器、数据选择器及数据分配器的工作原理。
- (2) 分析图3-5-2电路的报警控制信号 W 的有效电平是高还是低?报警时蜂鸣器的控制信号 E 是什么波形?蜂鸣器的鸣叫声音可能是怎样的?
- (3) 根据图3-5-3列出电路输出 CY 和 SUM 的布尔表达式及真值表。如果输入 A, B, C 是三个一位的二进制数,分析电路的逻辑功能。
- (4) 设计一个数据选择、分配电路,设计要求:
 - ①四个一位的输入数据 D_0, D_1, D_2, D_3 ,用两个逻辑开关编码选择;
 - ②四个一位的输出数据 Y_0, Y_1, Y_2, Y_3 ,另用两个逻辑开关编码选择;
 - ③功能:可以将四个输入数据中的任何一路信号 D_i 选择并分配给四个输出中的任何一个 Y_i 。

选择集成器件设计电路,画出电原理图,标明各集成器件的引脚编号。

(5) 用74LS153设计一个一位二进制数的全减器。输入三个一位的二进制数 A, B, C ,输出逻辑变量 D 和 V 。其中 D 是 A 减 B 减 C 的差, V 表示了 A 的值是否够被 B, C 减,够减时 $V=“0”$,否则为“1”。列出真值表,画出电原理图。

(6) 用74LS139和两个四输入与非门(或四输入与门)实现全减器,画出电原理图。

(7) 用 4 选 1 数据选择器 74LS153 和两位二进制计数器设计一个信号传输方式转换电路, 把四位并行码 $D_0 \sim D_3$ 转换成一系列串行信号。要求转换位序可以根据需要选择先高位后低位或者相反。画出设计的电路原理图。

5. 实验内容及步骤

(1) 译码器功能测试。

根据图 3-5-1 中 74LS139 的引脚图, 任选其中一个 2 线-4 线译码器测试其功能。

使能端 \bar{S} 由 1Hz 脉冲信号控制, 输入 A_1, A_0 由逻辑开关控制, 四个输出 $Y_0 \sim Y_3$ 接逻辑指示灯 (发光二极管)。改变输入 A_1, A_0 的状态, 观察 $Y_0 \sim Y_3$ 的输出记录在表 3-5-1 中 (记录输出状态是高电平、低电平或 1Hz 信号)。测试完成后保留电路。

表 3-5-1 2 线-4 线通用译码器功能测试

A_1	A_0	Y_0	Y_1	Y_2	Y_3
0	0				
1	0				
0	1				
1	1				

(2) 4 选 1 数据选择器功能测试

根据图 3-5-1 中 74LS153 的引脚图, 任选其中一个数据选择器测试其功能。

使能端 \bar{S} 接有效电平 (GND), 四个数据端 $D_0 \sim D_3$ 分别输入 1Hz, 3Hz, 10Hz 和高电平 (V_{cc}) 信号。其中 1Hz, 10Hz 信号可取自逻辑实验箱上的脉冲信号区, 3Hz 信号由函数发生器 TTL 端输出。用发光二极管观察数据选择器的输出端 Y , 改变输入 A_1, A_0 的状态, 在表 3-5-2 中记录数据选择情况。(记录输出信号频率或电平状态)

表 3-5-2 4 选 1 数据选择器功能测试表

输入 $A_1 A_0$	0 0	0 1	1 0	1 1
输出 Y				

(3) 根据预习内容 4 设计的电路, 在实验步骤 (1), (2) 的基础上连接数据选择、分配电路。观察信号的选择分配情况。

(4) 根据图 3-5-2 连接声光报警电路。1Hz 和 1kHz 脉冲信号都由逻辑实验箱提供, 2kHz 脉冲信号由函数发生器的 TTL 端输出。报警信号 W 由逻辑开关控制, 警灯 L 为逻辑指示灯。改变 W 的状态, 观察实验结果。当 W 有效时, 警笛鸣响, 警灯 L 闪烁。微调函数发生器频率, 观察频率变化对蜂鸣器音调的影响。

(5) 数据选择器构成的函数发生器

根据图 3-5-3 连接电路。输入 A, B, C 接逻辑开关, 输出用逻辑指示发光二极管检查。改变输入状态记录函数真值表, 与预习时分析的结果比较。

(6) 根据预习 (5) 设计的电路连线, 观察实验结果是否满足设计要求。

(7) 根据预习 (6) 设计的电路连线, 观察实验结果是否满足设计要求。

(8) 根据预习 (7) 设计的电路连线, 观察实验结果是否满足设计要求。

6. 实验设备和器材

(1) 数字逻辑实验箱	1 台
(2) 函数发生器	1 台
(3) 双列直插集成 TTL2 线-4 线译码器 74LS139	1 片
(4) 双列直插集成 TTL4 选 1 数据选择器 74LS153	1 片
(5) 双列直插集成 TTL 二-4 输入与非门 74LS20	1 片
(6) NPN 三极管 9013	1 个

7. 实验思考题

- (1) 声光报警电路中，是否能用报警信号控制数据选择器的输入端 A1? 为什么?
- (2) 如果实验内容 (3) 只用一组两位的二进制码同时控制数据的选择和分配，结果会如何?

8. 实验报告要求

- (1) 预习内容要求。
- (2) 实验内容要求。
- (3) 回答思考题。

时序电路应用实验

4. 触发器基本功能测试实验

1. 实验目的

- (1) 学习触发器逻辑功能的测试方法。
- (2) 了解基本 RS 触发器、D 触发器及 JK 触发器的逻辑功能及触发方式。
- (3) 进一步学习用示波器测量比较两路相关信号波形的周期、脉宽等参数的方法。

2. 实验原理

双稳态触发器具有两个互补的输出端 Q , \bar{Q} , 触发器正常工作时, Q 与 \bar{Q} 的逻辑电平总是互补, 即一个为“0”时另一个一定是“1”。(当触发器工作在非正常状态时, Q 和 \bar{Q} 的输出电平有可能相同, 使用时必须注意避免出现这种情况)。

RS 触发器具有两个开关量特性的激励输入端 R 和 S, R 的有效电平使触发器复位(Reset), $Q=“0”$; S 的有效电平使触发器置位 (Set), $Q=“1”$, 所以称为 Reset_Set 触发器。

图 4-1-1 是两个与非门互相反馈组成的基本 RS 触发器电路。当激励 S 为有效电平时, 输出 Q 立即置位为“1”, 而激励 R 为有效电平时, 输出 Q 复位为“0”, 两者都为无效电平时, 输出保持原来的状态不变。

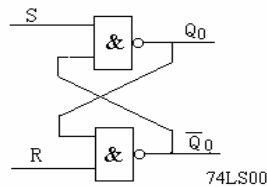


图 4-1-1 与非门组成的基本 RS 触发器电原理图

JK 触发器具有两个激励输入端“J”, “K”, 其特性方程为: $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$ 。在有效时钟脉冲触发时, 输出可以实现“同步置位”、“同步复位”、“状态不变”、“状态变反”四种功能。741LS12 是下降沿触发有效的集成 JK 触发器, 片上有两个 JK 触发器, 引脚标号以

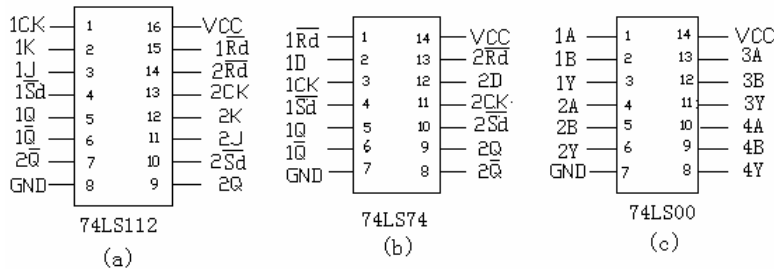


图 4-1-2 器件引脚排列图

“1”，“2”区别，如图 4-1-2 (a) 所示。

D 触发器只有一个激励输入端“ D ”，当触发脉冲有效时， D 触发器的输出与激励输入相同，由于在时间上滞后于输入，所以又称 Delay 触发器。74LS74 是上升沿触发有效的双 D 集成触发器，片上有两个 D 触发器，引脚排列如图 4-1-2 (b) 所示。

集成触发器一般具有直接 (direct) 置位、复位控制端 S_d 、 R_d ，如图 4-1-2 中 741LS12 和 74LS74 引脚图所示。当 R_d 或 S_d 有效时 (为低电平“0”)，触发器立即被复位或者置位。所以， R_d 、 S_d 又称异步复位、置位端。直接置位、复位功能可以用来预置触发器的初始状态，但在使用时必须注意两者不允许同时有效，而且不允许与时钟触发控制同时有效。

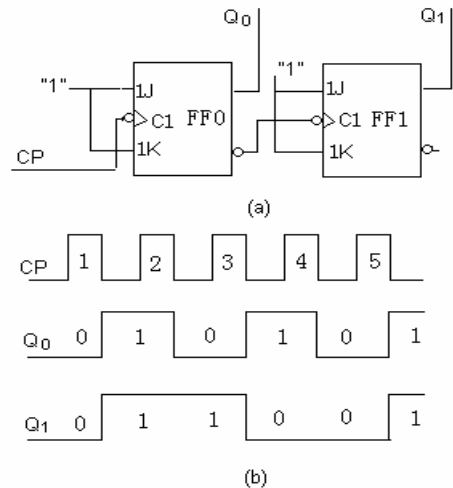


图 4-1-3 两位二进制计数器电原理图

T 触发器也只有一个激励控制端“ T ”，其特性方程为： $Q^{n+1} = \bar{T}Q^n + T\bar{Q}^n$ 。当触发条件满足时，若激励 $T = “0”$ ，触发器的状态不变，当 $T = “1”$ ，触发器的状态变反。

T' 触发器没有激励输入，只受触发时钟脉冲控制，其特性方程为： $Q^{n+1} = \bar{Q}^n$ 。只要触发条件满足， T' 触发器状态的输出状态随触发脉冲 CK 输入连续翻转。如果 T' 触发器的初始状态为“0”，奇数个触发脉冲输入后其状态为“1”，偶数个触发脉冲输入后状态为“0”，类似以一位二进制数累计触发脉冲输入的个数 (进位溢出不计)。

T 触发器和 T' 触发器一般没有专门的产品，可以用 RS 触发器、JK 触发器或 D 触发器构成。但是要注意所选触发器的时钟控制方式与所设计计数器的计数方式的匹配。

图 4-1-3 (a) 中两个 JK 触发器构成了下降沿有效的 T' 触发器 ($J=K=“1”$)，状态方程为 $Q^{n+1} = \bar{Q}^n$ ，具有的计数特性。FF0 的触发脉冲为 CP ， Q_0 在每个 CP 脉冲的下降沿时刻状态变反；FF1 的时钟是 FF0 的输出 \bar{Q}_0 ，所以 FF1 在 Q_0 上升沿 (\bar{Q}_0 的下降沿) 时刻状态变反。 Q_0 、 Q_1 的输出波形如图 4-1-3 (b) 所示。

由信号波形可见，在每个时钟脉冲下降沿后， Q_1 、 Q_0 的状态码按“00”→“11”→“10”→“01”→“00”的规律循环变化，循环周期为四个时钟脉冲周期。状态变化是以两位二进制码递减方式累计输入时钟脉冲的个数，电路功能为两位异步二进制计数器。

同时可以发现， Q_0 的信号周期是时钟周期的一倍， Q_1 的信号周期是时钟周期的两倍， $f_{Q_0} = \frac{f_{cp}}{2}$ ， $f_{Q_1} = \frac{f_{cp}}{4}$ 。所以，该电路又具有分频的功能。

一般，用 n 个触发器可以构成 n 位异步二进制计数器。除最低位触发器，其他各触发器的时钟都由相邻低位的状态输出控制。可根据触发器的触发方式和所需的计数方式，按表 4-1-1 选择时钟连接方式。

表 4-1-1 用 T 触发器构成 n 位异步二进制计数器的时钟控制关系

计数器的计数方式	上升沿触发的触发器	下降沿触发的触发器
加	$CP_i = \overline{Q_{i-1}} \quad (i \geq 1)$	$CP_i = Q_{i-1} \quad (i \geq 1)$
减	$CP_i = Q_{i-1} \quad (i \geq 1)$	$CP_i = \overline{Q_{i-1}} \quad (i \geq 1)$

3. 实验参考电路

- (1) 与非门组成的基本 RS 触发器如图 4-1-1 (a) 所示。
- (2) 集成触发器电路如图 4-1-4 所示。

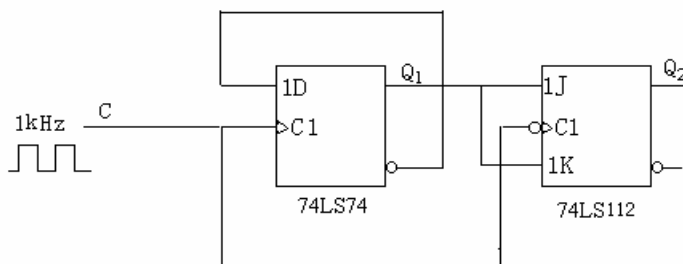


图 4-1-4 集成触发器实验电原理图

- (3) 信号传输电路如图 4-1-5 所示。

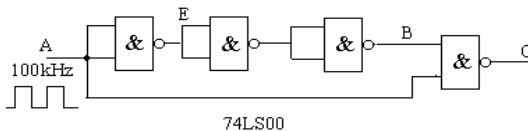


图 4-1-5 信号传输电路电原理图

- (4) 两位二进制加计数器如图 4-1-3 (a) 所示。

4. 实验预习要求

- (1) 复习基本 RS 触发器、JK 触发器及 D 触发器的工作原理及特点。
- (2) 分析图 4-1-1 (a) 基本 RS 触发器的输入是高电平有效还是低电平有效。
- (3) 列出图 4-1-4 中各触发器的状态方程，考虑 D 触发器和 JK 触发器各转换成了什么触发器？(T 触发器还是 T 触发器)。分析 C、Q1、Q2 的波形。
- (4) 分析图 4-1-5 电路中 A、B、C 的逻辑关系。
- (5) 若图 4-1-3 中触发器 FF1 的时钟由 FF0 的输出 Q₀ 直接控制，分析状态码 Q₁、Q₀ 如何变化？具有怎样的计数特性？
- (6) 用 74LS74 集成双 D 触发器设计一个两位二进制异步加计数器，实现图 4-1-3 电路的功能。

5. 实验内容及步骤

(1) 基本 RS 触发器功能测试

用与非门 74LS00 组成如图 4-1-1 所示的基本 RS 触发器。按表 4-1-2 测试其逻辑功能。完成后保留电路。最后两项反复操作几遍，看 R、S 同时从“1”变为“0”后，Q 状态是否一致。

(2) 集成 JK 触发器功能测试

① 观察集成触发器的置位、复位功能。

根据图 4-1-2 中 JK 触发器 74LS112 的引脚图，选择一个触发器。直接置位 Sd、复位

表 4-1-2 与非门组成的基本 R-S 触发器的逻辑功能测试

R	S	Q_0	\bar{Q}_0	功能
0	1			
1	1			
1	0			
1	1			
0	0			
1	1			

输入 Rd 接逻辑开关。按表 4-1-3 控制 Rd, Sd, 记录触发器的输出状态。最后两项反复操作几遍，看 Rd, Sd 同时从“1”变为“0”后，输出 Q 是否为同一状态。

表 4-1-3 集成 J-K 触发器的直接置位、复位功能测试

Rd	Sd	Q	\bar{Q}	功能
0	1			
1	1			
1	0			
1	1			
0	0			
1	1			

② 触发器的激励输入 J, K 也接逻辑开关，时钟输入 CP 由实验步骤 (1) 中基本 RS 触发器的输出 Q_0 控制。先直接复位 J-K 触发器，然后 Rd、Sd 都置“1”。按表 4-1-4 控制其 J、K 和 CP 信号，记录 JK 触发器的输出状态。

其中 CP 的上升沿 \uparrow 是指 Q_0 原来的状态为“0”，控制基本 RS 触发器置位端 S 使 Q_0 变“1”。同理，CP 信号的下降沿 \downarrow 是指 Q_0 从“1”变为“0”。用逻辑指示灯观察 CP 信号的变化以便记录。

表 4-1-4 集成 J-K 触发器的激励功能测试

J	1	1	0	0	0	0	1	1	1	1
K	0	0	0	0	1	1	1	1	1	1
CP	\uparrow	\downarrow	\uparrow	\downarrow	\uparrow	\downarrow	\uparrow	\downarrow	\uparrow	\downarrow

Q										
\bar{Q}										

③ J, K 端置“1”, Rd 或 Sd 端置“0”, 观察 CP 能否影响触发器的输出状态。

④ J, K, Rd, Sd 都置“1”, 触发器的 CP 直接由逻辑开关控制, 观察开关从“1”变为“0”时触发器的状态能否正常翻转。

(3) 集成触发器应用

按图 4-1-4 电路和图 4-1-2 的器件引脚排列图接线。电路的时钟 C 输入 1kHz 脉冲波, 用示波器同步观察 C, Q_1 , Q_2 的波形, 注意时钟信号和各波形的时序对应关系。记录波形时先观察 C 与 Q_1 , 然后对照 Q_1 记录 Q_2 。

(4) 信号传输中的竞争冒险现象观察

①按图 4-1-5 连接与非门电路。用示波器同步观察并记录 A、B、C 三点波形。

②把 C 点输出的波形作为图 4-1-4 电路的时钟输入信号, 观察能否触发电路。如果短接 E、B 两点, 电路能否触发?

* (5) 按预习要求 (5) 改接图 4-1-3 电路, CP 输入 10kHz 时钟脉冲。观察并记录输出波形, 测试各信号周期。实验完毕保留电路。

* (6) 连接预习要求 (6) 设计的电路, 并将实验内容 (5) 电路中 FF1 的输出 Q_1 作为本电路的输入时钟 CP。记录各输出信号波形并测试信号周期。

6. 实验设备和器材

(1) 数字逻辑实验箱	1 台
(2) 双列直插集成四-2 输入 TTL 与非门 74LS00	1 片
(3) 双列直插集成 TTL 双 J-K 触发器 74LS112	1 片
(4) 双列直插集成 TTL 双 D 触发器 74LS74	1 片
(5) 双踪示波器	1 台

7. 实验思考题

(1) 根据实验步骤 2 (4) 的结果说明触发器受时钟控制时, 直接置位、复位端应该是什么状态?

(2) 为什么实验步骤 2 不用逻辑开关而用基本 R-S 触发器的输出作为 JK 触发器的时钟 CK 信号? 如果用逻辑开关产生 CK 的上升沿或下降沿, 可能会出现什么问题?

(3) 图 4-1-1 (b) 电路中, 逻辑上 A 与 B 反相, $C = \overline{AB}$ 始终为逻辑“0”, 为什么触发器会得到触发脉冲触发翻转?

(4) 根据实验内容 (6) 的结果, 4 位二进制计数器的状态以多少个时钟周期循环? 对时钟脉冲的分频率是多少? 以此类推, 8 位二进制计数器的分频率为多少?

(5) 如何用 74LS74 设计两位二进制异步减计数器。画出电原理图。

8. 实验报告要求

(1) 完成预习要求。

(2) 完成实验内容中的记录要求, 描绘实验波形图。

(3) 分析实验内容 (5)、(6) 各输出信号对时钟的分频率。

(4) 回答思考题。

合理应用计数器的清零功能和置数功能，一片 74LS161 可以构成 16 以下的任意进制分频器。

(1) 用异步清零功能设计 16 以下任意进制分频器

图 4-4-2 是构成 7 分频的电原理图。图中每个时钟(CP)脉冲作用后, 74LS161 就加“1”, 当 $Q_2=Q_1=Q_0=“1”$ 时, 74LS20 输入全“1”、输出为“0”。计数器立即复位并重新开始计数。74LS161 输出端随时钟脉冲输入的变化规律列于表 4-4-2。每输入 7 个时钟脉冲, 复位控制与非门的输出端就有一个很窄的负脉冲, 脉冲的宽度约为 $2t_{pd}$ 时间。同理可列表 4-4-3, 表示不同分频数时复位控制与非门输入端和 74LS161 输出端的连接规律, 四输入与非门的多余输入端接高电平。异步复位时在 Q_3 、 Q_2 、 Q_1 、 Q_0 输出端上可能会出现不应有的毛刺信号。

表 4-4-2 图 7 分频电路中各触发器的输出状态

CP	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1

表 4-4-3 与非门输入端与分频数的关系表

分频数	3	4	5	6	7	8	9	10	11	12	13	14	15
四与非门输入	A	1	1	1	1	1	Q_3	Q_3	Q_3	Q_3	Q_3	Q_3	Q_3
	B	1	Q_2	Q_2	Q_2	Q_2	1	1	1	1	Q_2	Q_2	Q_2
	C	Q_1	1	1	Q_1	Q_1	1	1	Q_1	Q_1	1	1	Q_1
	D	Q_0	1	Q_0	1	Q_0	1	Q_0	1	Q_0	1	Q_0	1

(2) 利用同步置数法实现 16 位以下的任意进制分频

图 4-4-3 是由 74LS161 和 74LS04 组成的 9 分频器, 利用进位信号 C_0 反相后产生预置数控制信号。在 CP 脉冲作用后, 74LS161 就加 1。当 $Q_3=Q_2=Q_1=Q_0=ET=“1”$ 时, 进位端 C_0 输出为“1”, 反相后使 74LS161 的置位控制端 L_D 有效, 计数器进入置数准备状态。当下一个时钟脉冲上升沿到达时, 数据输入端 D_3 、 D_2 、 D_1 、 D_0 的数据被置入内部触发器, 完成置数功能。 L_D 端的脉冲频率为计数时钟的 9 分频, 负脉冲宽度为一个时钟周期。利用进位信号 C_0 同步置数的电路分频数 N 为

$$N = \bar{D}_3 \times 2^3 + \bar{D}_2 \times 2^2 + \bar{D}_1 \times 2^1 + \bar{D}_0 \times 2^0 + 1 \quad (4-4-1)$$

式中 D_3 、 D_2 、 D_1 、 D_0 接地时为“0”, 否则为“1”。例如图 4.4.3 中, $D_3=“0”$, $D_2=D_1=D_0=“1”$, 代入 4-4-1 式中可得分频数为

$$N = \overline{0} \times 2^3 + \overline{1} \times 2^2 + \overline{1} \times 2^1 + \overline{1} \times 2^0 + 1 = 9$$

表 4-4-4 列出了图 4-4-3 在每个时钟脉冲 CP 作用下 Q₃, Q₂, Q₁, Q₀ 和 C_o 的输出状态。

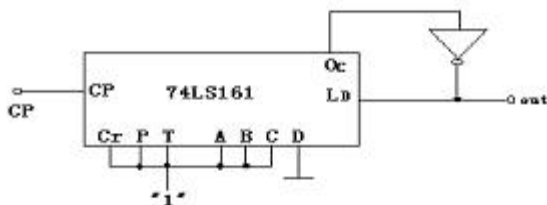


图 4-4-3 9 分频电原理图

表 4-4-4 图 4-4-3 中 74LS161 的输出状态表

CP	Q ₃	Q ₂	Q ₁	Q ₀	C _o
0	0	1	1	1	0
1	1	0	0	0	0
2	1	0	0	1	0
3	1	0	1	0	0
4	1	0	1	1	0
5	1	1	0	0	0
6	1	1	0	1	0
7	1	1	1	0	0
8	1	1	1	1	1
9	0	1	1	1	0

(3) 255 以下分频器

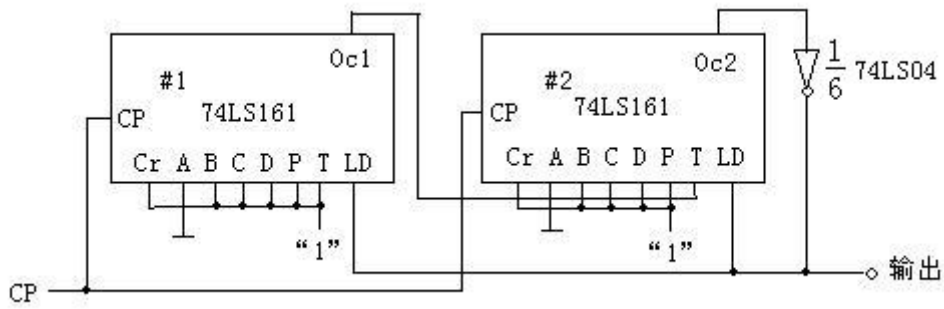
当分频数要求在 17~256 之间时，可以采用两片 4 位二进制（模 16）的加计数器 74161 级联。级联后计数器的模相乘，分频数为 256。然后可以采用反馈复位或反馈置数方法减少分频数，但要注意级联后的计数器成为一个整体，复位控制或预置控制必须对两片同时作用。

二进制加计数器的级连原则是：当低位计数器从最大编码值状态复位为全“0”状态（溢出）时产生进位，使高位计数器加 1。进位方式分异步和同步两种：

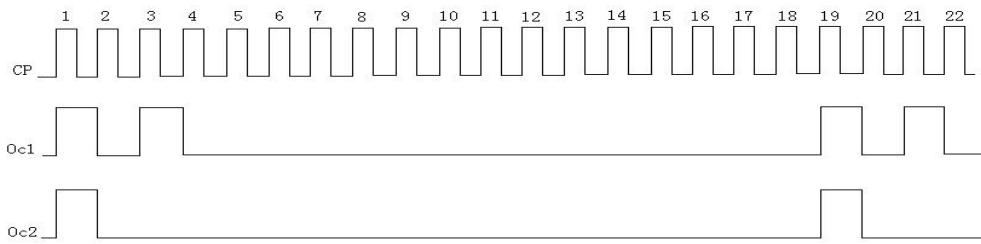
①异步进位方式——低位计数器的进位信号控制高位计数器的计数脉冲输入端。同异步二进制计数器的设计方式类似，根据计数器的时钟触发方式，在低位计数器状态码从最大值复“0”瞬间，选择合适的输出为高位计数器提供有效的计数脉冲边沿。

如果计数器本身有进位输出信号，可利用进位信号的后沿使高位计数器加 1。要注意进位信号有效沿与计数器触发方式的匹配。

②同步进位方式——低位计数器的进位信号控制高位计数器的使能。只有当低位计数器溢出前（最大有效状态码时），高位计数器的使能才有效，下一个计数脉冲使低位计数器复位同时使高位计数器加 1。所以同步进位方式只适用于具有使能控制的集成计数器。同样要注意进位信号有效电平与计数器使能有效电平的匹配。



(a)



(b)

图 4-4-4 18 分频原理图和波形图

表 4-4-5 18 分频电路中各输出端的状态

CP	#274LS161						#174LS161					
	C ₀₁	Q ₃	Q ₂	Q ₁	Q ₀	L ₀	C ₀₂	Q ₃	Q ₂	Q ₁	Q ₀	L ₀
↑	0	1	1	1	0	1	0	1	1	1	0	1
↑	0	1	1	1	0	1	1	1	1	1	1	1
↑	0	1	1	1	1	1	0	0	0	0	0	1
↑	0	1	1	1	1	1	0	0	0	0	1	1
↑	0	1	1	1	1	1	0	0	0	1	1	1
↑	0	1	1	1	1	1	0	0	1	0	0	1
↑	0	1	1	1	1	1	0	0	1	0	1	1
↑	0	1	1	1	1	1	0	0	1	1	1	1
↑	0	1	1	1	1	1	0	1	0	0	0	1
↑	0	1	1	1	1	1	0	1	0	0	1	1
↑	0	1	1	1	1	1	0	1	0	1	0	1
↑	0	1	1	1	1	1	0	1	0	1	1	1
↑	0	1	1	1	1	1	0	1	1	0	0	1
↑	0	1	1	1	1	1	0	1	1	0	1	1

↑	0	1	1	1	1	1	0	1	1	1	0	1
↑	1	1	1	1	1	0	1	1	1	1	1	0
↑	0	1	1	1	0	1	0	1	1	1	0	1

图 4-4-4(a)中两片计数器 74LS161 采用了同步进位方式, #₁74LS161 的进位输出 C_0 控制#₂74LS161 的使能 ET 。仅当#₁74LS161 状态计到全“1”时, 其进位 $C_{01}=Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$ 。 $ET=“1”$, 才能使#₂74LS161 的使能有效加 1。即#₁计数器每 16 个脉冲状态循环一次, 使#₂计数器加 1。所以, 两片 74161 级联后构成模为 $16 \times 16=256$ 的计数器电路。若根据二进制位权标注各输出位序, #₁74LS161 的输出为 Q_3 、 Q_2 、 Q_1 、 Q_0 , #₂74LS161 的输出为 Q_7 、 Q_6 、 Q_5 、 Q_4 。由式 4-4-1 可知, 利用计数器进位信号 C_0 实现同步反馈置数的分频率计算式为:

$$N=\bar{D}_7 \times 2^7 + \bar{D}_6 \times 2^6 + \bar{D}_5 \times 2^5 + \bar{D}_4 \times 2^4 + \bar{D}_3 \times 2^3 + \bar{D}_2 \times 2^2 + \bar{D}_1 \times 2^1 + \bar{D}_0 \times 2^0 + 1 \quad (4.4.2)$$

其中 $D_7 \sim D_4$ 是#₂74LS161 的预置数, $D_3 \sim D_0$ 是#₁74LS161 的预置数。改变两片 74LS161 置数端的状态 $D_7 \sim D_0$ 可很方便地改变分频数。根据图 4-4-4(a)电路, 其预置数 $D_7 \sim D_0=“11101110”$, 代入 4-4-2, 得分频数为

$$N=2^0+2^4+1=18$$

图 4-4-4(a)电路的工作和预置数过程列于表 4-4-5, 两片 74LS161 的 C_0 波形如图 4-4-4(b)所示。

3. 实验预习要求

- (1) 复习并掌握任意进制分频器的工作原理。
- (2) 熟悉 74LS161 的引脚, 正确理解 74LS161 的真值表。
- (3) 按实验内容分别设计好电路原理图, 并绘制好实验记录所需要的表格。

4. 实验内容及步骤

(1) 利用 74LS161 的清零端 C_R 设计一个 12 分频器。当时钟频率为 1Hz 时, 用发光二极管显示 74LS161 $Q_3 \sim Q_0$ 的输出状态, 并填入表 4-4-6 中。

表 4-4-6 12 分频电路 74LS161 输出端状态

时钟	利用 C_R 端					利用 L_0 端				
	Q_3	Q_2	Q_1	Q_0	C_R	Q_3	Q_2	Q_1	Q_0	C_0
1										
2										
3										
4										
5										
6										
7										
8										
9										
10										
11										

12										
13										

(2) 利用 74LS161 的置数端 L_D 设计一个 12 分频器。当时钟频率为 1Hz 时, 用发光二极管显示 74LS161 $Q_3 \sim Q_0$ 的输出状态, 并填入表 4-4-6 中。

(3) 用两片 74LS161 和 74LS00 设计 23 或 33 分频器, 输入时钟频率为 10kHz 时, 观察并记录 CP 脉冲、 C_{O1} 和 C_{O2} 的波形。

(4) 当分频器为 23 时, 把#274LS161 的 EP 和 ET 对调, 观察并记录 CP 脉冲、 C_{O1} 和 C_{O2} 的波形。

5. 实验设备和器材

- | | |
|-------------------------------|---------|
| (1) 双踪示波器 | 1 台 |
| (2) 数字逻辑实验箱 | 1 台 |
| (3) TTL 集成器件 (74LS161、74LS00) | 2 片、1 片 |

6. 实验思考题

- (1) 试设计一个分频数为 350 的分频器电路, 画出电原理图。
- (2) 用 74LS161 设计一个模 24 的计数器。
- (3) 试解释实验时记录在表 4-4-6 中 C_R 和 C_O 的状态。

7. 实验报告要求

- (1) 按实验要求检查结果, 记录波形, 填好表格。
- (2) 分析用 74LS161 实现 12 分频的两种电路的特点, 试讨论适用范围。
- (3) 理论分析实验内容的结果。

7. 集成移位寄存器应用实验

1. 实验要求和目的

- (1) 了解集成移位寄存器的控制功能。
- (2) 掌握集成移位寄存器的应用。

2. 实验原理

移位寄存器的功能是：当时钟控制脉冲有效时，寄存器中存储的数码同时顺序向高位（左移）或向低位（右移）移动一位。所以，移位寄存器的各触发器状态必须同时变化，为同步时序电路。

移位寄存器数据可以按序逐位从最低位或最高位串行输入寄存器，也可以通过置数端并行输入寄存器。所以移位寄存器的数据输入、输出方式有：并行输入/并行输出、并行输入/串行输出、串行输入/并行输出、串行输入/串行输出。

移位寄存器主要应用于实现数据传输方式的转换（串行到并行或并行到串行）、脉冲分配、序列信号产生及时序电路的周期性循环控制（计数器）。

四位移位寄存器 74LS194 的逻辑功能如表 4-5-1 所示。在方式信号 S_1, S_0 控制下，74LS194 可以实现左移（串行数据从 D_{SL} 输入）、右移（串行数据从 D_{SH} 输入）、置数（并行数据从 $D_3 \sim D_0$ 输入）及保持（输出不变）功能。

表 4-5-1 四位移位寄存器 74194 功能表

输入							输出	功能
C_R	S_1	S_0	D_{SH}	D_{SL}	CK	$D_3 D_2 D_1 D_0$	$Q_3 Q_2 Q_1 Q_0$	
0	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	0 0 0 0	异步复位
1	1	1	ϕ	ϕ	\uparrow	A B C D	A B C D	同步置数
1	1	0	D_i	ϕ	\uparrow	ϕ	$D_i Q_3 Q_2 Q_1$	右移
1	0	1	ϕ	D_i	\uparrow	ϕ	$Q_2 Q_1 Q_0 D_i$	左移
1	0	0	ϕ	ϕ	\uparrow	ϕ	$Q_3 Q_2 Q_1 Q_0$	保持

图 4-5-1 为简易乒乓球游戏机电路。输入 R, L 为球拍击球信号，高电平有效，输出 $Q_3 \sim Q_0$ 接四个发光二极管指示乒乓球的运动轨迹。游戏规则：R 或 L 输入一个正脉冲发球，发光二极管指示球向对方移动，到达对方顶端位置时，对方必须及时接球，使球返回，否则就会失球。输入的移位脉冲频率越高，球的移动轨迹越快，接球难度越大。

3. 实验参考电路

- (1) 乒乓球游戏机电路原理如图 4-5-1 所示。
- (2) 移存型计数器如图 4-5-2 所示。

4. 实验预习要求

- (1) 分析图 4-5-1 中两个或非门组成什么功能的逻辑电路？说明整个电路的工作原理。
- (2) 如果希望球的运动轨迹用八个发光二极管指示，怎样改进电路？
- (3) 分析图 4-5-2 电路的状态转换关系、任一输出信号的序列和自启动能力。
- (4) 用两片 74LS194 设计一个串行数据传输电路，发送方将并行输入的四位二进制数据转换成串行数据输出，接收方将串行输入的数据转换成并行数据输出，信号传输位序任意选择。画出电原理图。
- (5) 用 741LS94 设计一个四位环形计数器，移位方向任意，可预置初值“0001”，画出电原理图。

(6) 用 74LS194 设计一个四位扭环形计数器，移位方向任意，具有复位控制功能，画出电原理图。

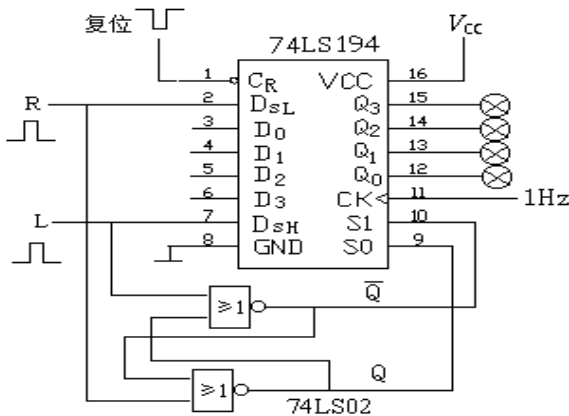


图 4-5-1 乒乓球游戏机电路原理图

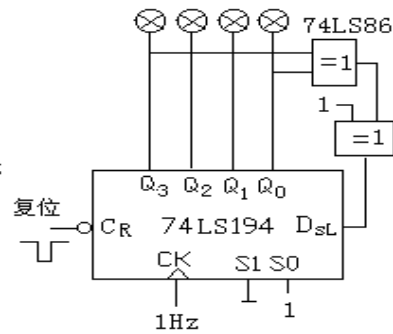


图 4-5-2 移存型计数器原理图

5. 实验内容与步骤

(1) 乒乓球游戏电路实验

①连接图 4-5-1 电路或非门部分， R 、 L 端接逻辑开关， Q_0 、 \bar{Q}_0 端接发光二极管。测试并记录电路的逻辑功能。

②连接 4-5-1 电路移位寄存器部分，观察游戏效果。

注意：发球或接球动作是给予 R 或 L 一个正脉冲，即逻辑开关置“1”后必须复“0”，动作必须准确，置“1”的时间过短发不出球或接不住球；置“1”的时间过长，指示球轨迹的发光二极管可能不是一个而是多个，影响游戏效果。

(2) 移存型计数器

连接 4-5-2 电路。电路复位后输入 1Hz 时钟，观察电路输出状态是否与理论分析相同。时钟脉冲改为 10kHz，用示波器记录 Q_3 和 Q_2 的输出信号波形。

(3) 串行信号传输

连接串行信号传输电路。发送方和移位接收方的寄存器分放在两组实验装置上。发送方的四位并行数据输入由逻辑开关控制，设置值任意。接收方的四位并行输出接发光二极管。移位脉冲 CP 由发送方装置的逻辑脉冲按钮提供，观察数据的串行传输过程。

(4) 74LS194 构成的四位环形计数器

①连接电路，输出接发光二极管，时钟接 1Hz 脉冲，预置控制端接逻辑开关。

②先预置初值“0001”，然后设置移位工作方式，观察实验效果，记录状态转换图。

③时钟脉冲频率改为 1kHz，用示波器分别观察四个输出信号的周期及相位关系，画出波形图。

(5) 四位扭环形计数器

连接电路，输出接发光二极管，时钟接 1Hz 脉冲，观察实验效果，记录状态转换图。

6. 实验设备与器材

- | | |
|------------------------|-----|
| (1) 数字逻辑实验箱 | 1 台 |
| (2) 集成四-2 输入或非门 74LS02 | 1 片 |
| (3) 集成四异或门 74LS86 | 1 片 |
| (4) 集成四位移位寄存器 74LS194 | 2 片 |

7. 实验思考题

(1) 图 4-5-1 电路的缺陷是：如果球未到达对方顶端位置，对方击球，球也会返回。思考能否增加一个发球输入信号改进电路，弥补此缺陷。

(2) 如何修改图 4-5-2 电路使之具有自启动能力？

8. 实验报告要求

(1) 完成预习内容要求设计的电原理图。

(2) 实验结果处理。

(3) 写出图 4-5-2 电路的输出序列？

(4) 回答思考题。