

实验一、数字基带信号

一、实验目的：

1. 了解单极性码、双极性码、归零码、非归零码等基带信号的产生原理及其波形的特点。
2. 掌握AMI码、HDB3码、双相码的编码规则。
3. 掌握插入帧同步码时分复用信号的帧结构特点。

二、实验内容：

1. 用示波器观察单极性非归零码(NRZ)，传号交替反转码(AMI)，三阶高密度双极性码(HDB3)。
2. 改变码序列，比较其单极性码、AMI码、HDB3码波形，并验证是否符合其编码规则。
3. 观察HDB3编码中的四连零检测、补V、加B补奇、单/双极性变换的波形，并验证是否符合编码规则。
4. 观察并比较单、双极性码(非归零、归零)、时钟信号、时序信号及双相码的波形和相位特点。

三、基本原理：

本实验使用数字信源模块和HDB3编、译码模块。(两个实验一起做)

1. 数字信源：

原理框图如图1-1所示。本模块产生的时钟频率为256kHz。信码速率为256kBit/S。帧结构如图1-2所示。帧长为32位，首位为任意码位。第2位~第8位是帧同步码(7位巴克码为1110010)，

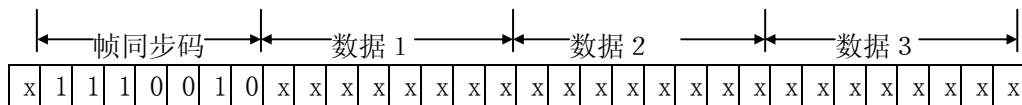


图1-2 帧结构

另外24位为3路数据码，每路为8位。

(1) 分频器

本模块由 U_9 为主的晶体振荡电路产生4096kHz方波信号，然后经 U_{3A} 二分频后产生2048kHz方波信号。再经二分频后，得到1024kHz方波信号(T14)。再经(4位二进制计数器)产生256kHz时钟信号(T9)。

(2) 八选一电路

本模块中的 U_{15} 、 U_{16} 、 U_{17} 、 U_{18} 由8选1数据选择器74LS151组成。其功能表如表1-1所示。 $(A_0 \sim A_2)$ 按二进制译码，从8个数据($D_0 \sim D_7$)中选取1个所需的数据。只有在选通端为低电平时才可选择数据。 $D_0 \sim D_7$ 中的“1”或“0”可由 U_{21} 、 U_{22} 、 U_{23} 、 U_{24} 四路八位选择开关人工置定。 $A_0 \sim A_7$ 数据分别由U分频出 Q_0 (128kHz)、 Q_1 (64kHz)、 Q_2 (32kHz)方波信号。

表 1-1 8 选 1 数据选择器功能表

输 入				输 出	
A ₂	A ₁	A ₀	\overline{ST}	Y	\overline{W}
X	X	X	H	L	H
L	L	L	L	D	D
L	L	H	L	D	D
L	H	L	L	D	D
L	H	H	L	D	D
H	L	L	L	D	D
H	L	H	L	D	D
H	H	L	L	D	D
H	H	H	L	D	D

(A₀~A₂为选择输入端; D₀~D₇为数据输入端; \overline{ST} 为选通输入端, \overline{W} 为反码数据输出端; Y为数据输出端。)

(3) 四路八位码的合路

该合路器由U_{10A}、U_{10B}、U_{10C}、U_{10D}以及U_{12A}组成。其中U_{10A~B}为可控模拟开关。U_{12A}为2/4译码器。U₁₃为4位二进制计数器。由U₆分频出的32kHz方波信号经U₁₃的二、四分频分别得到16kHz、8kHz方波信号,送U_{12A}的2/4译码器。其功能表如表1-2所示。

表 1-2 2 / 4 译码器功能表

输 入			输 出			
G	B	A	Y 0	Y 1	Y 2	Y 3
H	X	X	H	H	H	H
L	L	L	H	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L
X	X	X	H	H	H	H

(Y₀~Y₃脉宽为八位码的宽度,并称之为时序脉冲。)

由Y₀、Y₁、Y₂、Y₃经倒相后,依次控制模拟开关U_{10A}、U_{10B}、U_{10C}、U_{10D}使之依次开关。这样就依次选通第1、2、3、4路码,并合路成一路串行码。

(4) 帧同步信号

本模块产生的合路信码流以32位为1帧,且为分路器能直接提供帧同步头。本模块帧同步信号产生方法如图1-3所示。

① 128kHz

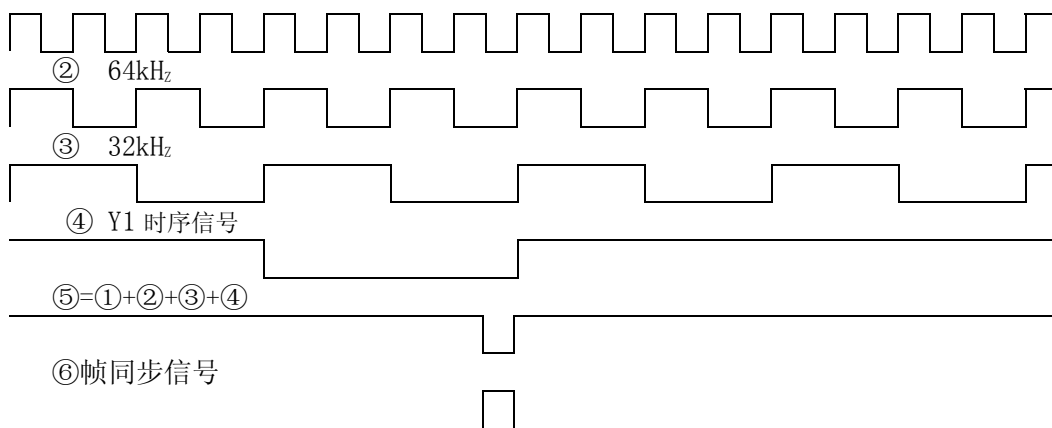


图 1 - 3 帧同步信号波形的产生方法

由 2 5 6 kHz 时钟信号经 2、4、8 分频后再与时序信号 Y1 相或，即得到反相帧同步信号，再倒相后，得到正相帧同步信号。

(5) 单、双极性非归零码的产生

该部分电路由 U₈ 三路二选一模拟开关组成。其功能表如表 1 - 3 所示。

表 1 - 3 三 2 选 1 模拟开关功能表

	输入	输出	输入	输出	输入	输出
INH	A	X	B	Y	C	Z
L	L	$X_0 \rightarrow X$	L	$Y_0 \rightarrow Y$	L	$Z_0 \rightarrow Z$
L	H	$X_1 \rightarrow X$	H	$Y_1 \rightarrow Y$	H	$Z_1 \rightarrow Z$
H	×	无	×	无	×	无

其中，A 为 2 5 6 kHz 时钟信号；B = C 为合路信号； $X_0 = 0$ ， $X_1 = +1$ ； $Y_0 = 0$ ， $Y_1 = +1$ ； $Z_0 = -1$ ， $Z_1 = +1$ 。X 为时钟信号输出，Y 为单极性非归零码信号输出，Z 为双极性非归零码信号输出。

注意：观察波形（码流）时可用示波器的 CH1 放在观察点（P24）作为示波器的触发信号，CH2 通道用于观察码流信号。

产生的波形举例如图 1 - 4 所示。

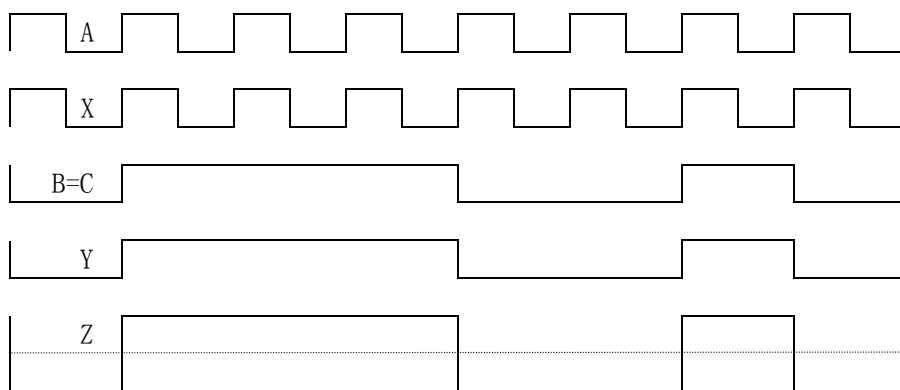


图 1-4 单、双极性非归零码波形的产生方法

(6) 单、双极性归零码产生

该部分电路由 U_{14} 双 4 选 1 模拟开关组成。其功能表如表 1-4 所示。

表 1-4 双 4 选 1 模拟开关功能表

输 入		导 通 通 道
I N H	A	
L	L	$X_0 \rightarrow X, Y_0 \rightarrow Y$
L	H	$X_1 \rightarrow X, Y_1 \rightarrow Y$
H	L	$X_2 \rightarrow X, Y_2 \rightarrow Y$
H	H	$X_3 \rightarrow X, Y_3 \rightarrow Y$
X	X	无

该模块中选 $X_0 = 0, X_1 = -1, X_2 = 0, X_3 = +1$; $Y_0 = Y_1 = Y_2 = 0, Y_3 = +1$; $I N H = 0$ 。B 为合路码, A 为 2.56 kHz 时钟信号。

产生的波形举例如图 1-5 所示。

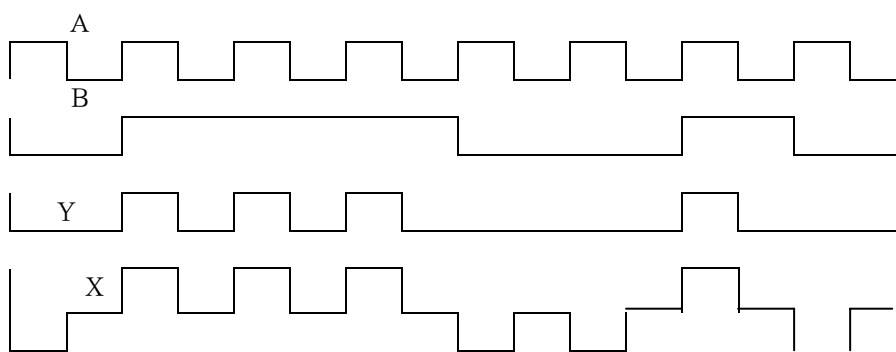


图 1-5 单、双极性归零码波形
(7) 双相码 (Manchester 码)

编码规则：它是对每个二进制代码分别利用两个具有 2 个不同相位的二进制码去取代的代码。编码规则如下：

0 → 0 1（零相位的一个周期的方波）

1 → 1 0（ Π 相位的一个周期的方波）

例如：代码 1 1 0 0 1 0
双相码 1 0 1 0 0 1 0 1 1 0 0 1

该模块中的双相码产生电路由 2 5 6 时钟信号和合路码信号经异或门电路来完成。

(8) AMI 码

编码规则：代码的“0”仍变换为传输码的“0”，而把代码中的“1”交替地变换为传输码+1，-1+1，-1。例如：

消息码：0 1 1 1 0 0 1 0 1 0 0 0 1 0 1 0

AMI 码：0+1-1 +1 0 0 -1 0 +1 0 0 0 -1 0+1 0

AMI 产生电路由 U_{25A} 的 D 触发器与 U_{20} 的 4 选 1 模拟开关组成。 U_{14} 的功能表类如表 1-4 所示，但表中 $X_0=0$ ， $X_1=-1$ ， $X_2=0$ ， $X_3=+1$ 。D 触发器的功能是输入端（A：单极性归零码）每来一个“1”脉冲，其输出状态（B）发生一次翻转。该输出信号与 A 信号按表 1-4 功能表，控制 U_{20} ，输出 AMI 码信号。AMI 信号波形产生方法举例如图 1-6 所示。

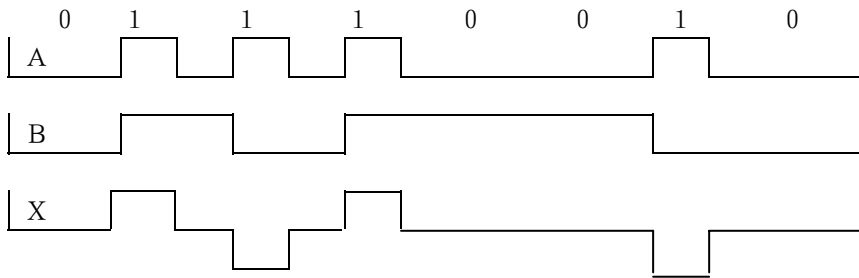


图 1-6 AMI 码波形产生方法

2. HDB3 编、译码模块

本实验主要使用 HDB3 编、译码模块中的编码部分。因此，在此仅介绍 HDB3 的编码原理及电路组成。编码器框图如图 1-7 所示。

(1) HDB3 编码原理

编码原理：先把信息代码变换 AMI 码，然后去检查 AMI 码的连 0 串情况。当没有 4 个及 4 个以上连 0 串时，则这时的 AMI 码就是 HDB3 码。当出现 4 个及 4 个以上连 0 串时，则将第 4 个 0 变换成与其前一个非 0 符号（+1 或 -1）同极性的符号。为使附加 V 符号后的序列不破坏“极性交替反转”造成的无直流特性，相邻 V 符号也必须极性交替。当相邻 V 符号之间有奇数个非 0 符号时，这一点是能保证的。但当有偶数个非 0 符号时，则得不到保证。这时再将该段的第一个 0 变成 +B 或 -B。B 符号的极性与前一非

0 符号相反，并让后面的非 0 符号从 V 符号开始再交替变化。例如：

代码: 1 0 0 0 0 1 0 0 0 0 1 1 0 0 0 0 1 1
 AMI码: -1 0 0 0 0 +1 0 0 0 0 -1 +1 0 0 0 0 -1 +1
 HDB3码: -1 0 0 0 -V +1 0 0 0 +V -1 +1 -B 0 0 -V +1 -1

(2) 四连0检测电路及补V电路

主要由 U_1 (四D触发器), U_{7A} 、 U_{7B} (与非门)、 U_{3C} (非门) 组成。当串行码经 U 进行四位移位后, 实现串/并变换。若出现四个连0时, U_{7A} 输出为“1”, 使连0串的第4个0变为“1”, 完成补V功能; 若无四连0时, U_{7A} 输出与原码相同, 即不补V。经四连0检测及补V电路的码流, 经 U_1 中的D触发器, 送给后续电路。

(3) 加B补奇电路

该电路主要由 U_{8A} 、 U_{8B} 及 U_{11A} 组成。补V后的码流送入由 U_{11A} 组成的计数器。 U_{8B} 是相当于由与非门组成的开关, 当无补V脉冲时, U_{8B} 不对码流产生影响。当有补V脉冲时, 若 U_{11A} 的计数个数为偶数时, U_{8A} (与非门)因补V脉冲与计数器输出脉冲的共同作用, 使 U_{8A} 状态发生翻转, 关闭 U_{8B} , 使之输出为“1”, 即在原码中的四连0中的第1个“0”处, 使“0”变为“1”。若计数个数为奇数时, U_{8A} 因补V脉冲与计数脉冲的共同作用, 使 U_{8A} 与非门不发生翻转而打开了 U_{8B} , 不影响原码流状态。以上过程可归纳为: 两V码之间为奇数个“1”时, 不加B。两V码之间为偶数个“1”时, 加B。

(4) V码极性形成电路

该功能电路由 U_{1D} (D触发器) 与 U_{8D} (与非门) 组成。其功能是使加入的V脉冲的极性与连0码前最接近的“1”码的极性相同。

(5) 双极性码形成电路

由 U_{11B} 、 U_{14A} 、 U_{14B} 、 U_{15A} 、 U_{15B} 、 U_{16} 组成。其中 U_{11B} 为由JK触发器组成的计数器, 并有正、反相输出, 与信码及时钟共同送入与 U_{14A} 和 U_{14B} , 变成两路+B和-B单极性信号, 去控制 U_{16} 的双四选一模拟开关, 使单极性码变为双极性的HDB3码。

四、实验步骤:

1. 熟悉信源模块和HDB3模块的工作原理。
2. 接上电源。
3. 用示波器观察数字信源模块上的各种波形。

(1) 接通电源

用示波器观察两个通道探头分别接 P_{24} 的同步输出和 $T(P)_{20}$ 的单极性归零码并观察其波形。**注意: 观察波形(码流)时可用示波器的CH1放在观察点(P24)作为示波器的触发信号, CH2通道用于观察码流信号。**

(2) 用 U_{21} 产生X1110010 (X为任意码, 1110010为7位帧同步码)、 U_{22} 、 U_{23} 、 U_{24} 产生任意信息代码, 并观察本实验中集中插入帧同步码时分复用信号帧结构以及NRZ码的特点。

(3) 用示波器观察 P_{19} ~ P_{21} , P_{22} , P_{23} 各点的波形。

(4) 用示波器观察AMI码与单极性归零码的关系。

- (5) 观察 T_1 、 T_2 、 T_3 、 T_4 四路时序信号的相位关系。
- (6) 观察单极性非归零码与双相码的波形关系。
4. 用示波器观察HDB3编译码模块上的编码模块中的各种波形。
- (1) 用40芯电缆将信源与HDB3码编译码模块接通, 测量检查HDB3编译码模块中单极性非归零码及时钟信号是否送入。
- (2) 用示波器两探头接HDB3码编译码模块的P2 (NRZ输入) 和P1 (HDB3输出)。将信源模块中的四路的每一位码置“1”, 观察信源中AMI码和本模块中的HDB3码。再将四路码置全“0”, 观察对应的AMI和HDB3码。
- (3) 将四路码置为
0 1 1 1 0 0 1 0 0 0 1 0 0 0 0 1 1 0 0 0 1 0 0 0 0 0 1 0 1 0 1 0
- (4) 观察补V (T10), 加B (T22), V极性 (T9), +B (T5), -B (T7) 的波形。
- (5) 加入误码时观察HDB3码的波形。

五、实验报告要求:

1. 根据实验观察和记录各点波形 (用坐标纸绘), 并分析波形与理论是否相符。
2. 比较不同信码中的AMI码与HDB3码波形是否相同, 为什么?
3. 什么是时序信号, 比较各时序信号的相位关系, 并分析时序信号在信号合路时的作用

六、预习要求:

1. 复习教材中有关基带信号及时分复用的内容。
2. 认真预习本实验指导书的工作原理和实验内容。
3. 熟悉有关器件的功能及其应用方法以及两模块框图的信号流程和设计原理。

实验采用的模块

1、 数字信源实验

数字信源模块

2、 HDB3 AMI 编译码实验



注意观察比较AMI和HDB3码差别。

实验二、HDB3 编、译码实验

一、实验目的:

1. 加深对 H D B 3 编、译码的工作原理的理解。
2. 了解 H D B 3 编码与译码器的电路组成及工作过程。
3. 了解 H D B 3 码信号中提取位同步信号(时钟)的方法。

二、实验内容:

1. 观察 H D B 3 编码器中的四连零检测、补 V、加 B 补奇、单 / 双极性变换以及 H D B 3 码的波形, 并验证是否符合编码规则。
2. 观察 H D B 3 译码器中的双 / 单极性变换、V 码检测及扣 V 扣 B 后的译码波形以及时钟提取电路输出的位同步信号波形。
3. 手动加入误码时, 观察解码输入和检错显示。
4. 当输入信码为外加伪随机信码时, 用频谱仪观察输入信码和 H D B 3 码的功率频谱。(选做)

三、实验原理:

本实验使用数字信源模块和 H D B 3 编、译码模块。(关于信源模块, 在前面的实验一中业已介绍, 在此略述。)

(一) H D B 3 编码器(其框图如图 1 所示)

1. H D B 3 编码原理:

编码原理: 先把信息代码变换成 A M I 码, 然后去检查 A M I 码的连 0 串情况。当没有 4 个或 4 个以上连 0 串时, 则这时的 A M I 码就是 H D B 3 码。当出现 4 个或 4 个以上连 0 串时, 则将第 4 个 0 变换成与其前一个非 0 符号(+1 或-1)同极性的符号。为使附加 V 符号后的序列不破坏“极性交替反转”造成的无直流特性, 相邻 V 符号也必须极性交替。当相邻 V 符号之间有奇数个非 0 符号时, 这一点是能保证的。但当有偶数个非 0 符号时, 则得不到保证。这时再将该连 0 段的第一个 0 变为 +B 或 -B。B 符号的极性与前一非 0 符号相反, 并让后面的非 0 符号从 V 符号开始再交替变化。例如:

代码: 1 0 0 0 0 1 0 0 0 0 1 1 0 0 0 0 1

A M I 码: -1 0 0 0 0 +1 0 0 0 0 -1 +1 0 0 0 0 -1

H D B 3 码: -1 0 0 0 -V +1 0 0 0 +V -1 +1 -B 0 0 -V +1

2. 四连 0 检测电路及补 V 电路

主要由 U_1 (四 D 触发器), U_{7A} 、 U_{7B} (与非门)、 U_{3C} (非门) 组成。当串行码经 U_1 进行四位移位后, 实现串 / 并变换。若出现四个连 0 时, U_{7A} 输出为“1”, 使连 0 串的第 4 个 0 变为“1”, 完成补 V 功能; 若无四连 0 时, U_{7A} 输出与原码相同, 即不补 V。经四连 0 检测及补 V 电路的码流, 经 U_1 中的 D 触发器, 送给后续电路。

3. 加 B 补奇电路

该电路主要由 U_{8A} 、 U_{8B} 及 U_{11A} 组成。补 V 后的码流送入由 U_{11A} 组成的计数器。 U_{8A} 是相当于由与非门组成的开关, 当无补 V 脉冲时, U_{8A} 不对码流产生影响。当有补 V 脉冲时, 若 U_{11A} 的计数个数为偶数时, U_{8A} (与非门) 因补 V 脉冲与计数器输出脉冲的共同作用, 使 U_{8A} 输出状态发生翻转, 关闭 U_{8B} , 使之输出为“1”, 即在原码中的四连 0 中的第 1 个“0”处, 使“0”变为“1”。若计数个数为奇数时, U_{8A} 因补 V 脉冲与计数脉冲的共同作用, 使之不发生翻转而打开了 U_{8B} , 不影响原码流状

态。以上过程可归纳为：两V码之间为奇数个“1”时，不加B。两V码之间为偶数个“1”时，加B。

4. V码极性形成电路

该功能电路由 U_{1D} （D触发器）与 U_{8D} （与非门）组成。其功能是使加入的V脉冲的极性与连0码前最接近的“1”码的极性相同。

5. 双极性码形成电路

由 U_{11B} 、 U_{14A} 、 U_{14B} 、 U_{15A} 、 U_{15B} 、 U_{16} 组成。其中 U_{11B} 为由JK触发器组成的计数器，并有正、反相输出，且与信码及时钟共同送入与门 U_{14A} 和 U_{14B} ，变成两路+B和-B单极性信号，去控制 U_{16} 的双选一模拟开关，使单极性码变为双极性的HDB3码。

(二) HDB3译码器（电路框图如图2所示）

1. 译码原理：

根据编码规则，破坏点V脉冲与前一个脉冲同极性。因而可从所接收的信码中找到V码。然后，根据加取代节的原则V码和前面的三位代码必然为取代码，在译码时，须全部复原为四连0。只要找到V码，不管V码前是二个“0码”还是三个：“0码”，一律把整个取代节清零，完成了扣V扣B功能，进而得到原二元信码序列。

2. 双/单极性变换电路

由正整流 D_1 、负整流 D_2 、及整形电路组成。正整流电路从HDB3码中取出正极性码（+B）；负整流电路从HDB3码中取出负极性码（-B）；整形电路使整流后的脉冲变得规整并为 TTL 电平。

3. V码检测电路

由+V检测电路（ U_{4D} 、 U_{12A} 、 U_{17B} ）和-V码检测电路（ U_{4E} 、 U_{12B} 、 U_{17D} ）以及相加器（ $U_{5A\sim D}$ 、 U_{17C} ）组成。+V码检测电路从+B码流中取出+V码（ T_{12} ）；-V码检测电路从-B码流中取出-V码（ T_{14} ）相加器把+V和-V码相加后得到V码（ T_{11} ）

4. 扣V扣B电路

该功能电路由 U_2 的四D触发器组成的移存器完成。相加器 U_{18A} 、 $U_{4D\sim F}$ 把+B码与-B码合成B码。B码流送入扣V扣B电路。在时钟信号的作用下进行移位。V码信号送入 U_2 （称存器）的清零端。当出现V码脉冲时，V脉冲使四位移存器清零，亦即把移存器中前已进入的三位代码以及V脉冲本身全部变为0码，达到扣V扣B的目的。

5. 误码检测电路和误码计数电路

该电路只能对HDB3编码规则错误进行检测。电路由+V误码检测（ U_{5E} 、 U_{13A} 、 U_{18B} ）和-V误码检测（ U_{5F} 、 U_{13B} 、 U_{8C} ）和相加器（ U_{18D} 、 $U_{6A\sim C}$ ）组成。据编码规则，HDB3码流中，相邻两V码必须极性交替。+V误码检测电路检测+B码流中的两相邻V码间是否对应有一个-V码（在-B码流中），若无-V码，则表示破坏了V码极性交替规则。同样道理，-V误码检测电路检测-B码流中是否存在V码极性错误情况。从两路信号（+V和-V）中检测的错误V码相加后，送入误码计数器并加以显示。（误码计数器电路由 U_{24} 和 U_{25} 组成）

6. 时钟（位同步）信号提取电路

电路由 U_{19} 、 U_{20} 、 U_{21} 、 U_{36} 、 U_{32} 、 U_{37} 组成，其中含有二阶有源带通滤波器、锁相电路（ U_{32} ）和延时电路（ U_{37} ）。该电路提取的时钟信号的频

率为 256 kHz，并送入 U_2 （移存器）中。

四、实验步骤：

1. 熟悉 HDB3 编、译模块的工作原理。
2. 接上电源输。
3. 用示波器观察 HDB3 模块上的各种波形。（注意：观察时探头 CH1 接同步信号，并将示波器的触发源置 CH1，CH2 测试各点波形。）

(1) 测试 HDB3 编、译码模块的 P_3 (T_2) 和 P_2 (T_1) 波形。

(2) 用示波器观察编码器波形（注意：观察时探头 CH1 接同步信号，并将示波器的触发源置 CH1，CH2 测试各点波形。）

- a. 将信源的四路信码置全“0”码，观察补 V (T_{10})、加 B (T_{82})、+B (T_5)、-B (T_7) 和 HDB3 (P_1) 波形， P_2 (单极性码入) 波形。
- b. 将信源的四路码置全“1”码，重复步骤 a。
- c. 将四路码置为 11110010100010000100001100001010，重复步骤 a。
- d. 插入误码时，观察 P_1 (HDB3 码) 波形的变化。

(3) 用示波器观察译码器的波形

- a. 将 P_1 (HDB3 码出) 接入 P_8 (HDB3 码入)。信源的四路码维持不变，观察 P_{20} (+B)、 T_6 (-B)、 T_{12} (+V)、 T_{14} (-V)、 T_{13} (B)、 T_{11} (V) 以及 P_4 (时钟输出)、 P_5 (译码输出) 的波形。
- b. 插入误码时观察误码显示情况。

五、实验报告要求：

1. 根据实验观察和记录各点波形（用坐标纸绘），要求绘出 32 位码的完整波形，并分析波形与理论上的是否相符。
2. 若把对应的 AMI 码送入 HDB3 译码中会出现什么现象？并说明道理。
3. 本实验的误码检测电路只能检测哪类误码差错，为什么？
4. 对本实验有何体会，有何改进意见？

六、预习及预习报告要求：

1. 预习本实验的工作原理和实验内容。
2. 预习报告要求：

画出实验步骤 3 中 (2) 的三种输入信码所对应的 HDB3 编码波形。

实验三、简单时分多路数字基带通信系统

一、实验目的：

1. 掌握时分复用数字基带通信系统的基本原理
2. 掌握复接、分接方法
3. 了解位同步信号、帧同步信号在数字分接中的作用

二、实验内容：

1. 用数字信源模块、数字终端模块，构成一个理想信道时分复用数字基带通信系统，使所联接的系统工作正常。
2. 观察帧同步信号错位对数字信号传输的影响。
3. 用示波器观察分接后的分路数据信号、时序信号以及帧同步信号、位同步信号。

三、基本原理：

本实验使用数字信源模块和数字终端模块。

1. 数字信源中的多路信号的复接原理：

数字信源模块的原理框图如图 5-1 所示。

(1) 时序信号的产生：

本模块通过二进制分频器，得到 16 kHz 和 8 kHz 方波信号，然后送入 $2/4$

译码器，得到反相的脉宽为八个时钟周期的四个脉冲信号，经反相器后得到正相的

时序脉冲信号。其波形及相位关系如图 5-3 所示。

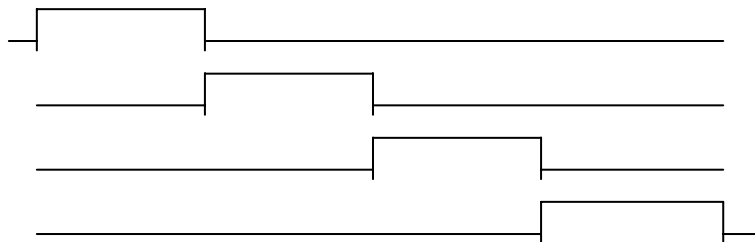


图 5-3 复接器中的时序脉冲信号

(2) 四路数据码的复接

本信源模块中的四路独立的八位数码，在以上四路时序信号的控制下，依次

选通模拟开关 1、2、3、4，按顺序依次将四路数码接入同一通道，形成了

一路串行码，完成四路数据码的复接。在本基带传输实验中，将其中第一路数

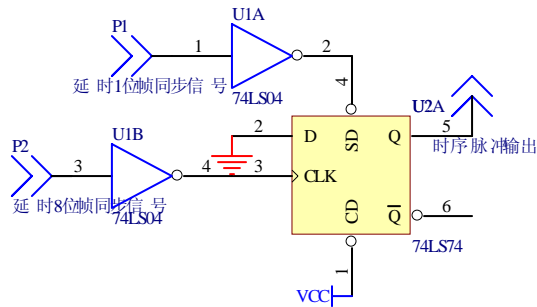
据码置成帧同步码（巴克码）X 1 1 1 0 0 1 0。

2. 数字终端模块的分接器原理

原理框图如图 5-2 所示。

(1) 时序脉冲产生电路：

由 U_7 、 U_8 、 U_9 (74LS164) 八位移存器和 U_{12} (74LS04) 非门、 U_{10} (74LS74) D 触发器组成。它包含三组时序电路。经整形后的帧同步信号再经八位或七位 (错位一位) 移位寄存器延时分别送串/并 1 和下一个 8 位移存器, 在第二个八位移存器延时八位后的帧同步信号分别送串/并 2 和第三个 8 位移存器。经第三个 8 位移存器延时的帧同步信号送至串/并 3。而第一个 8 位移存器的延时 1 位帧同步信号与延时 8 位或第 7 位帧同步信号共同作用于 D 触发器 U_{10A} , 便产生第 3 路时序脉冲。第二个 8 位移存器延时 1 位后的帧同步信号与延时 8 位的帧同步信号共同作用于 D 触发器 U_{10B} , 产生第 2 路时序脉冲。第三个 8 位移存器延时 1 位后的帧同步信号与延时 8 位的帧同步信号共同作用于 D 触发器 U_{10C} , 产生第 3 路时序脉冲。其电路原理如图 5-4 所示。其波形



关系如图 5-5 所示。

(2) 分路器：

第 1 路时序脉冲与整形后的时分复用信号相与 (U_{15B}), 产生第 1 路分路码, 同样, 第 2 路时序脉冲与之相与 (U_{14C}), 产生第 2 路分路码。第 3 路时序脉冲与之相与 (U_{14B}), 产生第 3 路分路码。

(3) 串/并变换：

输入的串行码在时钟信号的控制下, 由 U_4 、 U_5 、 U_6 (八 D 触发器)

把串

行码转换成三组并行码。再由各时序信号分别控制这三组并行码（U 1、U 2、U 3）取出各自对应的分路数据码，并经发光二极管显示出来。

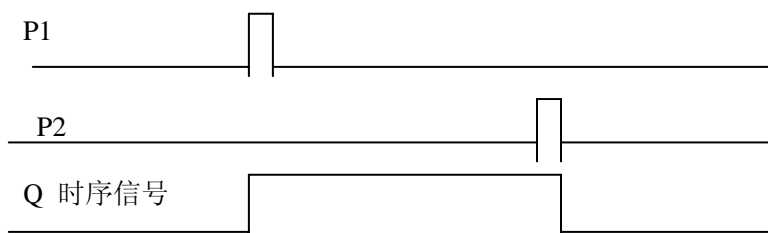


图 5-5 分接器中的时序脉冲信号的产生（对应图 5-4）

（4）数字终端模块各输入输出及测试点如下：

- P 1 2、T 1 2：码元输入（时分复用基带信号输入）端。
- P 1 3、T 1 3：帧同步信号输入端。
- P 1 4、T 1 4：时钟信号（位同步信号）输入端。
- P 1、T 1：+1.2 V 电源输入端。
- P 1 5、T 1 5：时钟信号（位同步信号）输入端。
- P 1 6、T 1 6：时序输出 3。
- P 1 7、T 1 7：时序输出 2。
- P 1 8、T 1 8：时序输出 1。
- P 1 9、T 1 9：第三路码输出。
- P 2 0、T 2 0：第二路码输出。
- P 2 1、T 2 1：第一路码输出。
- P 2 2、T 2 2：时分复用基带信号输出端。

四、实验步骤：

1. 熟悉数字信源模块、数字终端模块的工作原理，并将二模块用 40 芯电缆连接，图 5-6 为连接示意图。
2. 数字信源模块上 S1--S4 全部置为内码，并接通电源。
3. 示波器 CH 1 接 T 1 4，CH 2 接 T 1 2，观察其波形。（终端）
4. 示波器 CH 1 接 T 1 4，CH 2 接 T 1 3，观察其波形。（终端）
5. CH 1 接 T 1 3，将信源模块的巴克码置为 0 1 1 1 0 0 1 0，观察帧同步信号是否正确。
6. 观察终端的发光二极管的发光状态是否与信源上的发光二极管发光状态一致。改变信源编码，再观察终端发光二极管发光状态是否正确。
7. 将 S 1 置为“错一位码”，观察二极管发光状态及规律。
8. 将 CH 1 接时序 1，CH 2 接第 1 路码，观察其波形；然后再观察时序 2 与第 2 路码波形的对应关系以及时序 3 与第 3 路码波形的对应关系。

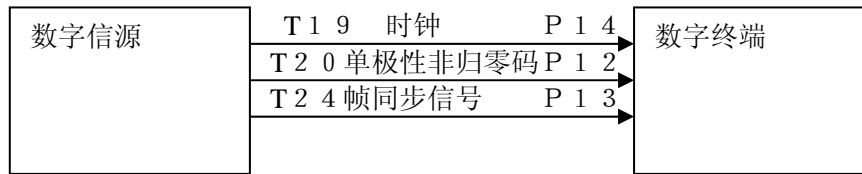


图 5 — 6 实验连接框图

五、实验器材：

1. 四路稳压电源 1 台
2. 双踪示波器 1 台
3. 数字信源模块 1 块
4. 数字终端模块 1 块
5. 连接线 若干

六、实验报告要求：

1. 分析帧同步错位对信号传输的影响。
2. 据实验结果，画出时钟、帧同步信号、输入码、各时序脉冲、各路并行码的波形。
3. 分析数字终端模块中串 / 并变换和时序脉冲产生路的工作原理，位同步信号

和帧同步信号在数字分接中的作用。

七、预习要求：

1. 复习通信原理教材中的相关内容。
2. 预习本实验指导书的全部内容。
3. 复习实验一中有关信源中信号合路的原理。

实验四、帧同步识别、保护、提取实验

一. 实验目的:

1. 掌握巴克码识别电路原理
2. 掌握同步保护原理
3. 掌握假同步、漏同步、捕捉态、维持态等概念
4. 通过设计性实验,培养学生用 EPROM 器件写入软件和利用应用手册,完成该模块中识别、比较器的软、硬件的设计能力。(选做)

二. 实验内容:

1. 观察帧同步码元无误码时帧同步电路的维持态
2. 观察帧同步有一位错码时,帧同步的维持态和捕捉态
3. 观察同步电路的假同步现象和同步保护作用
4. 修改本模块中 EPROM 的参数及改变比较器的设置,完成相同的电路功能。(选做)

三. 基本原理

(一) 帧同步模块的原理框图及电原理图分别如图 7-1 和图 7-2 所示。

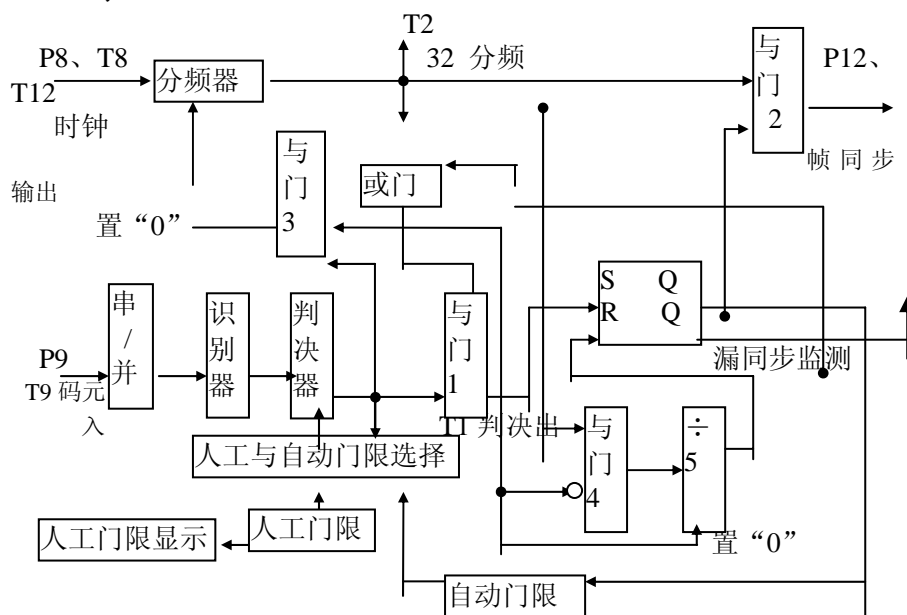


图 7-1 帧同步模块原理框图

图 7-1 中各功能部分在图 7-2 中所对应元器件关系如下:

1. 分频器: U 3 (74LS161)、U 4 (4075)、U 2 (74LS74)、U 5 (74H04)
2. 串/并变换器: U 9 (74LS164)

3. 识别器: U 7 (2 7 6 4)
4. 判决器: U 1 0 (7 4 L S 8 5)
5. 人工与门限选择器: U 1 3 (7 4 L S 1 5 7)
6. 自动门限: U 1 4 (7 4 L S 1 5 7)
7. 人工门限: S 1
8. 人工门限显示: U 1 6 (7 4 2 4 7)、U 1 2 (L C D)

(二) 电路基本原理

1. 帧同步信号的识别与判决

串 / 并变换器 U 9 将串行码变成并行码, 并完成移位功能。当七位巴克码全

部进入 U 9 时, U 9 的输出端 $Q_6 Q_5 Q_4 Q_3 Q_2 Q_1 Q_0 = 1 1 1 0 0 1 0$, 并送入

U 7 (2 7 6 4) 帧头识别器。

识别器 U 7 为 E P R O M 器件。在 U 7 中将串 / 并变换的输出信号与 1 1 1

0 0 1 0 码进行相关运算, 使 U 7 的数据输出端的 $D_3 D_2 D_1 D_0$ 有对应的

相关输出。如当 U 7 的 $A_6 A_5 A_4 A_3 A_2 A_1 A_0 = 1 1 1 0 0 1 0$ 时, 则对应的

$D_3 D_2 D_1 D_0 = 0 1 1 1$ 时 (十进制数为 7), 若 $A_6 A_5 A_4 A_3 A_2 A_1 A_0 = 1 1 1$

0 0 1 1 (与巴克码错一位) 时, 则对应的 $D_3 D_2 D_1 D_0 = 0 1 1 0$ (十进制数为

6)

比较判决器 U 1 0 (7 4 L S 8 5) 有两组输入数据, 一组来自帧头识别器,

另一组来自人工与自动门限选择器 U 1 3。U 1 0 的两组输入数据 $A_3 A_2 A_1 A_0$ 与

$B_3 B_2 B_1 B_0$ 进行比较。只当 $A_3 A_2 A_1 A_0$ 大于或等于 $B_3 B_2 B_1 B_0$ 时, U 1 0

的输出为“1”, 其余输出为:“0”。因此, U 1 0 端不仅与来自识别器的数据有

关, 还与判决门限数据 $B_3 B_2 B_1 B_0$ 有关。

2. 帧同步信号的捕捉与同步保护

本模块是在捕捉态时, U 1 0 的 $B_3 B_2 B_1 B_0 = 0 1 1 1$ (十进制数为

7); 另一种是在同步态时, U 1 0 的 $B_3 B_2 B_1 B_0 = 0 1 1 0$, (十进制

数为6)。

在捕捉态时,只有当巴克码到来时(1110010),U10的 $A_3A_2A_1A_0=$

0111(十进制为7),满足 $A_3A_2A_1A_0$ 大于或等于 $B_3B_2B_1B_0$ 的条件,才

有判决脉冲输出。

人工门限可以从略0000—0111(0—7)任意置定,可据实验需

要,自行选择其门限值。同步保护电路输出的帧同步信号(图6-1)受状态触发器Q端输出的信号所控制。 $\div 32$ 分频信号的周期与比较器输出一个帧同步信号的周期相同,但相位一定相同。但只要比较器输出一个帧同步信号,对 $\div 32$ 分频器置零,使 $\div 32$ 分频信号T2的上升沿与判决输出信号T1的下降沿同相。清零信号由判决器输出信号及 $\div 32$ 分频信号共同决定。当无基带信号输入(或虽有基带信号输入但识别器的输出低于门限值)时,判决器输出为0,与门1关闭,与门4打开。 $\div 32$ 信号经与门4,输入到 $\div 5$ 计数电路。 $\div 5$ 计数电路的输出信号使状态触发器置“0”,从而关闭与门2无帧同步信号输出。此时Q的高电平把判决器门限置为7(门限开关为“自动”),且关闭或门,打开与门1,同步电路进入捕捉态。这时,只要比较器输出一个脉冲信号(认定为帧同步头),与门3就输出一个置“0”脉冲,使 $\div 32$ 电路置“0”,从而输出与帧同步信号同频同相的周期信号。判决器输出的脉冲信号通过与门1后,使状态触发器置“1”,从而打开与门2,输出输出帧同步信号。同时, $Q=0$,使判决门限降为6,打开或门。同步电路处于维持态。在维持态下,因判决门限低,故与门1,与门3禁止输出假同步信号使,假同步信号不改变 $\div 32$ 的工作状态,与门2的输出仍为正确的同步态。

在维持状态下,识别比较器也可能出现漏同步。但由于漏同步概率比较小,只要识别比较器不连续出现五次漏同步,则 $\div 5$ 电路就不输出信号,使维持状态不变。若识别器连续出现五次漏同步,则 $\div 5$ 电路输出要一个脉冲信号使维持态为捕捉态,重新捕捉帧同步码。(同步指示灯亮,表示同步态;同步指示灯灭表示捕捉态)

四. 实验步骤

熟悉帧同步模块的原理,用40芯电缆连接数字信源,

1. 观察帧同步码元无误码时,帧同步电路的维持态(同步态)

将数字信源模块的巴克码置于**X1110010**,第一、二、三路码置于任意

状态(注意不要置于是**1110010**序列)。示波器CH1接T8。CH2分别

接T1、T2、T3,使信源巴克码再错一位,重作上述实验。此时,同步器应

转入捕捉态。

2. 观察同步器失步态

先断开P8信号,然后使信源的巴克码错一位,(无111001

0 序列) 然后接通 P 8, 则同步器处于失步态。示波器 C H 1 接 T 8, C H 2 分别接 T 1、T 2、T 3、P 1 2。观察并记录上述信号波形。使帧同步码恢复为 1 1 1 0 0 1 0, 观察 ÷ 3 2 信号相对于 P 8 信号的相位, 分析 同步器从失步态转为同步态的过程。

3. 观察识别器假识别现象及同步保护器的作用

当信源的巴克码置于 **X 1 1 1 0 0 1 0**, 第一、二、三路码不出现 1 1 1 0 0 1 0, 同步处于同步状态后, 再使第一、二、三路码出现 1 1 1 0 0 1 0 状态, 示波器 C H 1 接 T 8, C H 2 分别接 T 1 和 P 1 2。观察识别器的假识别现象及保护电路的保护作用。

五、实验仪器

- | | |
|----------|----|
| ■ 双踪示波器 | 一台 |
| ■ 数字信源模块 | 一块 |
| ■ 帧同步模块 | 一块 |

1. 据实验结果, 画出同步状态下的码元输入信号 T 9、帧同步信号 T 1 2、
÷ 3 2 分频信号、判决输出 T 1 的波形。
2. 据实验结果, 画出捕捉态下的以上各点波形。
3. 据实验结果, 画出假识别时, 同步电路的以上各点波形。
4. 分析出现假同步信号的原因及同步电路消除假识别的原理。

实验五、2FSK 调制与解调

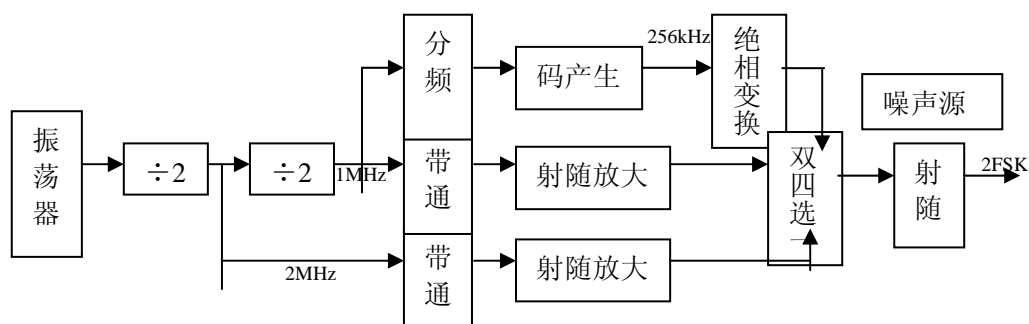
一、实验目的：

- 1、了解二进制移频键控 2FSK 信号的产生过程及电路的实现方法。
- 2、了解非相干解调器过零检测的工作原理及电路的实现方法。
- 3、了解相干解调器的工作原理及电路的实现方法。

二、实验原理：

二进制频率调制是数据通信中使用较早的一种通信方式。由于这种调制解调方式容易实现，抗噪声和抗衰落性能较强，因此在中低速数据传输系统中得到了较为广泛的应用。

本实验 2FSK 信号的产生采用键控法原理，利用数字基带信号去控制电子开关电路来选择两个不同的频率来实现调制的，它所产生的信号相位不连续，调制器框图见图一：



图一 2FSK 调制器框图

本实验 2FSK 信号的解调是采用过零检测法和锁相解调法，通过两种解调方式的比较，可以了解各自的优点。

1、2FSK 调制器

2FSK 调制器是由晶体振荡器、分频电路、码产生电路、带通滤波器、模拟开关电路组成的。

(1) 晶体振荡器和分频器：

晶体振荡器是一个用晶体和与非门构成的自激多谐振荡器。实验电路中的晶体频率 f_0 选为 4.096MHz，移频键控的两个频率分别是 $f_1 = 1\text{MHz}$ ， $f_2 = 2\text{MHz}$ ，时钟信号为 256KHz。同时实验设置了外时钟、外码元接口由开关选择，便于模块之间的连接。

(2) 码产生电路：

由一个 8 位拨码开关分别控制 8 个发光二极管，灯亮表示该位码元为“1”，灯灭表示该位码元为“0”，这 8 个发光二极管就表示输入信号的 8 位码元。由于这 8 位码元是一组并行的码元，所有需要经过并/串变换电路来转换成 256Kb/s 的串行数据。串/并变换电路主要是由一个八选一的逻辑门电路（74LS151）来实现的，其功能表如下（A、B、C 代表 3 个选择输入端，Z 为正码输出， \bar{Z} 为反码输出）：

址			使 能	输 出	
C	B	A	S	Z	\overline{Z}
×	×	×	1	0	1
0	0	0	0	D ₀	$\overline{D_0}$
0	0	1	0	D ₁	$\overline{D_1}$
0	1	0	0	D ₂	$\overline{D_2}$
0	1	1	0	D ₃	$\overline{D_3}$
1	0	0	0	D ₄	$\overline{D_4}$
1	0	1	0	D ₅	$\overline{D_5}$
1	1	0	0	D ₆	$\overline{D_6}$
1	1	1	0	D ₇	$\overline{D_7}$

(3) 带通滤波器

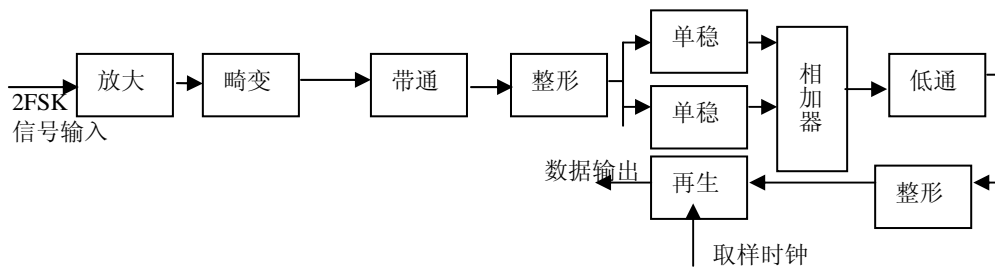
对 1MHz 和 2MHz 的方波信号进行滤波，就可以得到 1MHz 和 2MHz 的正弦信号作为载波使用，即 $f_1=1\text{MHz}$ ， $f_2=2\text{MHz}$ 。

(4) 模拟开关电路

采用四选一模拟开关电路（CD4052）来实现载频的选择。

二、2FSK 解调器

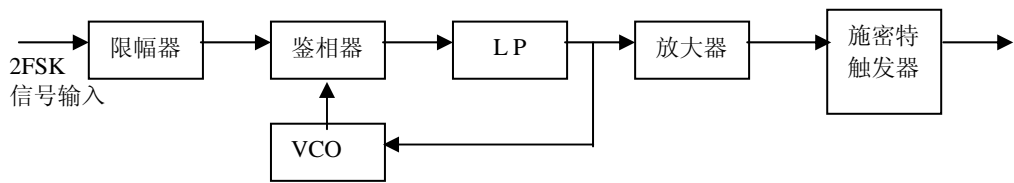
(1) 非相干解调（过零检测）



图二 非相干方式过零检测解调方框图

由于 2FSK 解调器在数字调频波过零点随不同载频而不同，我们将 2FSK 信号通过放大整形，形成矩形脉冲，分别送入 U18a 单稳触发器实现上升沿触发。进入 U18b 单稳触发器实现下降沿触发的，然后将两个单稳触发器输出脉冲相加，相加器采用或非 U19a、U19b 实现。这一过程实际起到微分、整流、脉冲形成的作用。所得到的是与频率变化相对应的脉冲序列。这个序列就代表调频波的过零点。脉冲序列经过低通滤波器虑除高次谐波，便能得到相应的原数字基带信号。为了得到较好的滤波效果，采用有源无限增益多路反馈的低通滤波电路。单运放为 U20，U19c 为整形输出，U23a 为再生电路。

(2)相干解调方式的锁相解调器工作原理，框图如下：



图三 相干解调锁相解调器框图

2FSK 信号的解调可采用调制跟踪环，VCO 要保证能跟踪上与传号、空号相对应的两个频率。当 FSK 信号输入时，LP 输出端有高低电平输出，它们分别与传号、空号相对应。再经过放大整形就可以解调出原来的数字基带信号。锁相解调器由于具有跟踪特性、低门限特性，与非相干解调器相比大约有 4dB~5dB 的门限改善。因此在信号为低信噪比时，采用 PLL 可以降低误码率。本实验采用锁相环专用集成电路 NE564。

三 实验内容

- 1、了解相位不连续 2FSK 信号的频谱特性，了解频偏 $\Delta f = (f_1 - f_2) / 2$ 不同时，传输 2FSK 信号所需带宽的情况与 2ASK 信号带宽进行比较。
- 2、了解 2FSK（相位不连续）调制，非相干、相干解调电路的组成及工作原理。
- 3、观察 2FSK 调制，非相干、相干解调各点波形。
- 4、了解畸变信道模拟电路的原理，畸变信号送入过零检测电路与锁相解调电路，产生什么结果。

四 实验步骤

1、非相干过零检测方式（信道模拟器 A）

- (1) 用 40 心扁平电缆将信源模块、数字调制模块及数字解调模块连接在一起。（无其他线连接）
- (2) 将数字调制器模块开关拨到正确位置：**码元选择开关 S1 拨至“内码”；时钟选择开关 S2 拨至“内时钟”；2M 载波选择开关 S3 置为“2M 正弦”；调制码选择开关 S4 置为“绝对码”；载波选择开关 S5 置为“内载波”；1M 载波选择开关 S6 置为“1M 正弦”。**
- (3) 将调制模块上的拨码开关 SW 置为“11101100”，用示波器接“2FSK 输出”测试端（T22），观察 2FSK 的两个载波幅度是否一致：如果一致，则接着第（4）步骤。
- (4) **将示波器探头 CH1 接调制模块上的“绝对码”（T6），以 CH1 的波形为基准，先观察解调模块上的 T22（绝对码）输出，输出波形应与调制模块的 T6（绝对码）波形相同，然后再对解调模块上下列各点进行波形测试。**

T22 点测试参考波形如图 1。

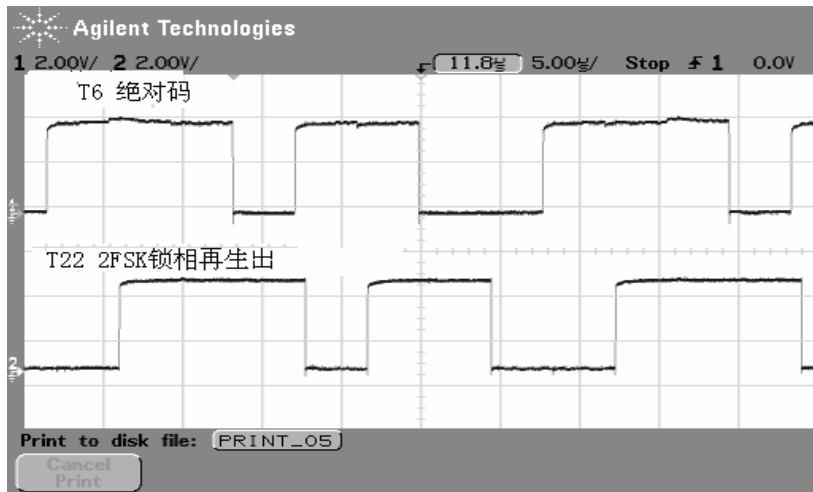


图 1 (T22) 参考图

解调模块上的“频带受限出”(T23)

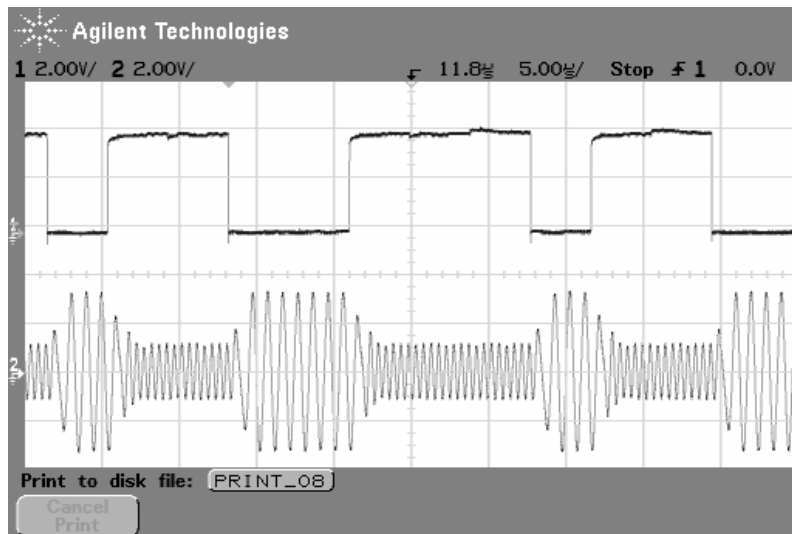


图 2 (T23) 频带受限出

“整形出” (T37)

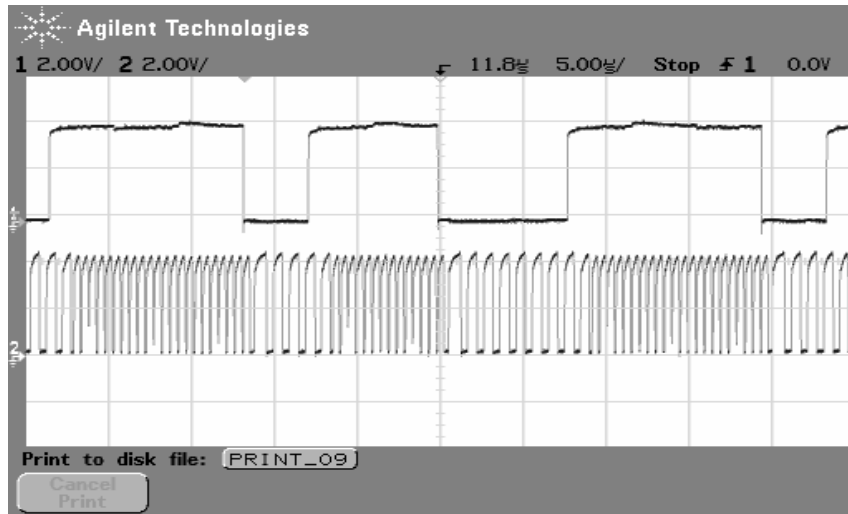


图 3 (T37) 整形出

“前沿触发脉冲” (T32)、

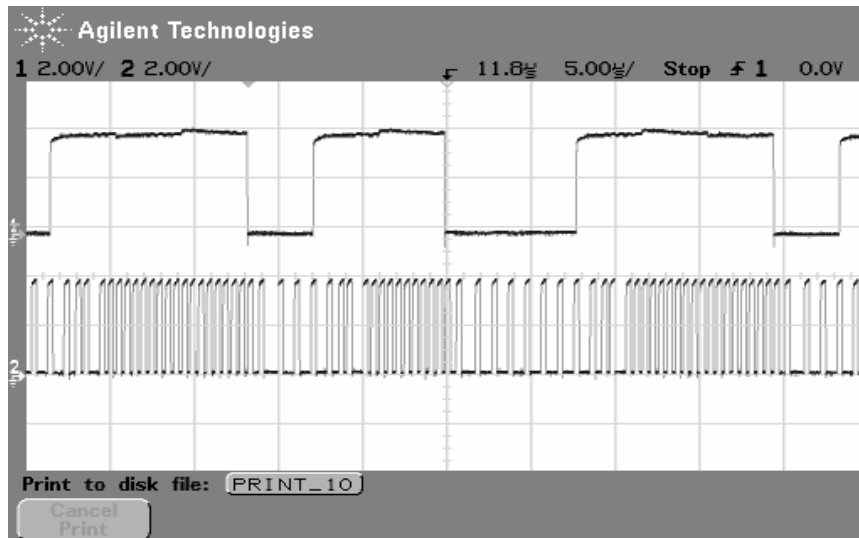


图 4 (T32) 前沿触发脉冲

“后沿触发脉冲” (T33)、

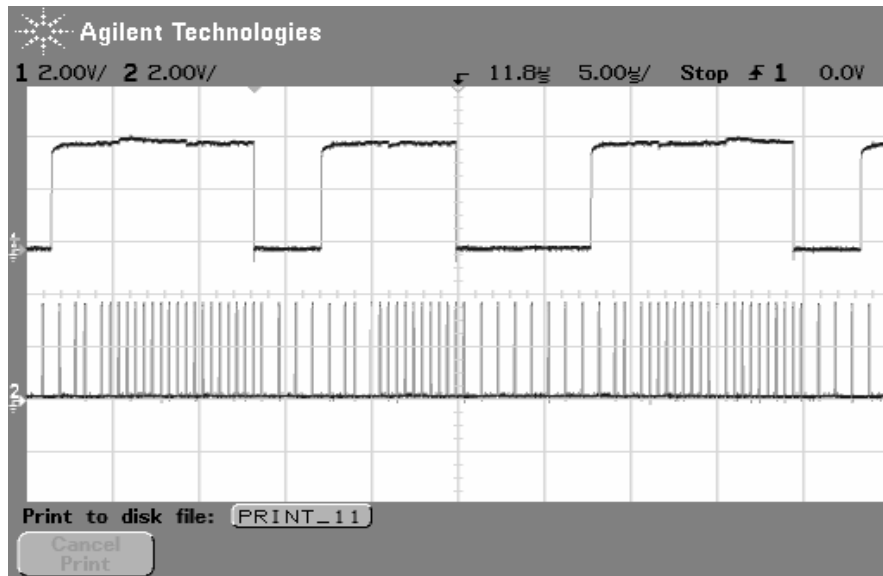


图 5 (T33) 后沿触发脉冲

“相加出” (T38)、

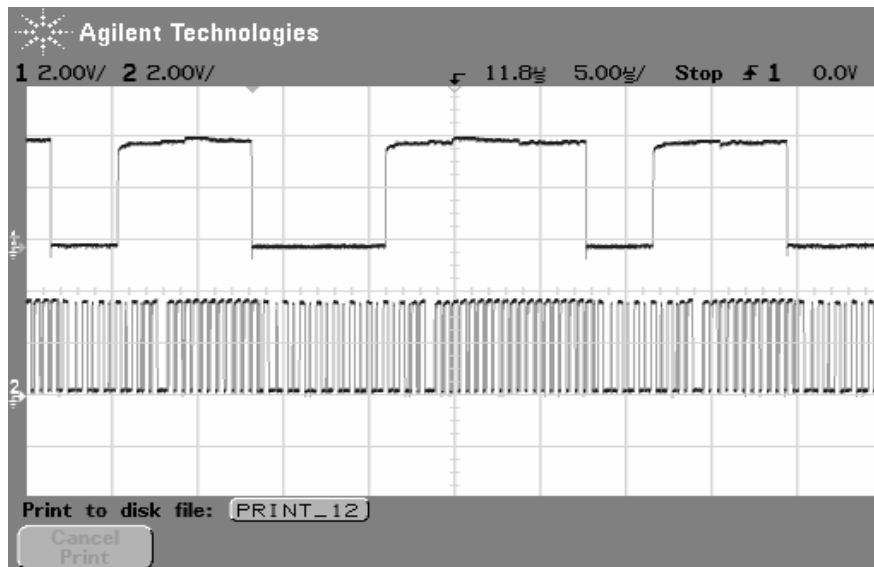


图 6 (T38) 相加出

“低通出” (T24)、

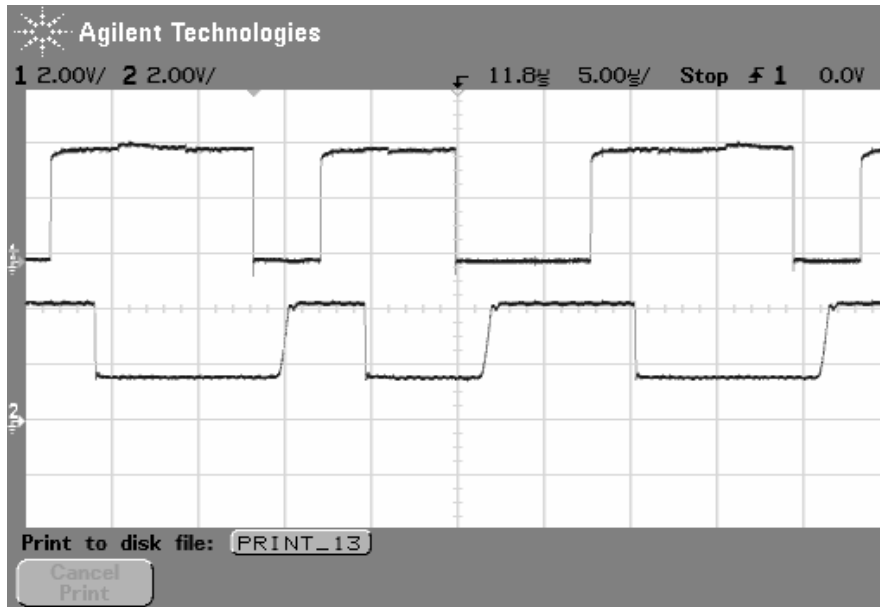


图 7 (T24) 低通出

“2FSK 过零检测出” (T19)、

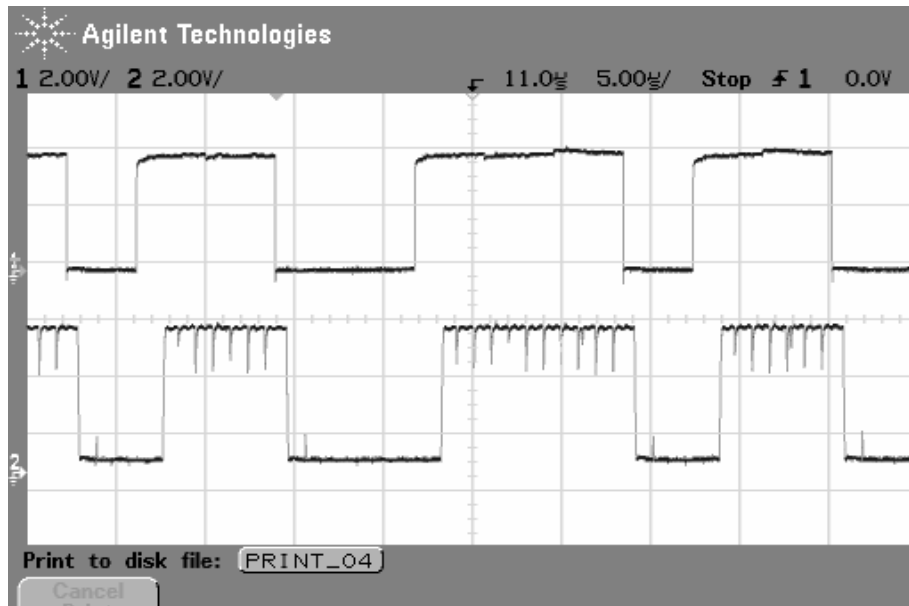


图 8 (T19) 2FSK 过零检测出

“2FSK 过零检测再生出” (T20),

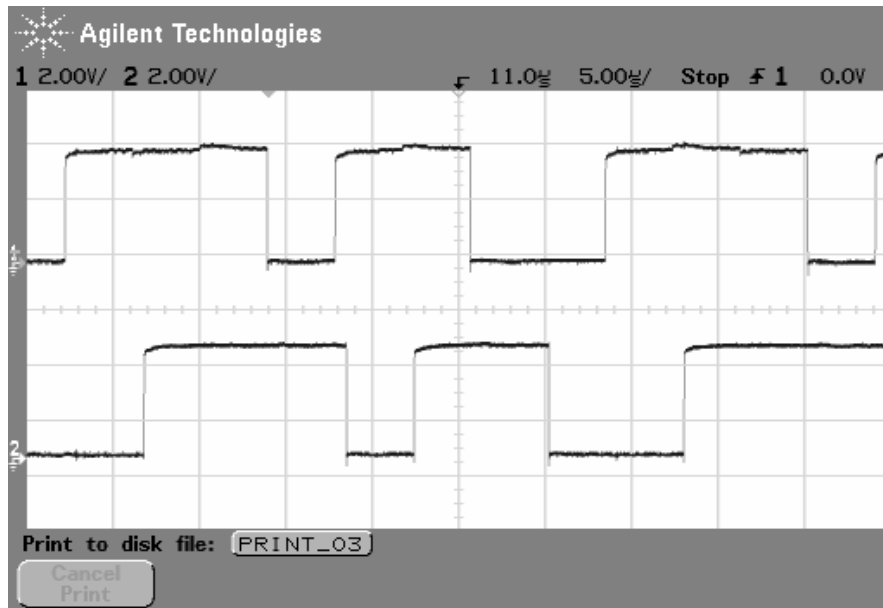


图 9 (T20) 2FSK 过零检测再生出

2、相干锁相解调方式 (信道模拟器 B, K2 置位相干解调)

- 1) 将调制模块上 T13 (同相载波) 与解调模块的 P10 (相干载波入) 连接好。
- 2) 将示波器探头 CH1 接调制模块上的“绝对码” (T6), 以 **CH1 的波形为基准**, 先观察解调模块上的 T14 (绝对码) 输出, 输出波形应与调制模块的 T6 (绝对码) 波形相同, 然后再对解调模块上各点进行波形测试。

依次记录以上 CH2 的各点波形。

- (1) 调制模块上的“2FSK 输出”测试端 (T22)。
- (2) “频带受限出” (T23)。
- (3) “整形出” (T37)、“VCO 输出” (T16)。
- (4) “锁相解调出” (T21)。
- (5) “2FSK 锁相再生出” (T22)。

五 实验仪器

- | | |
|-------------|----|
| 1. 双踪示波器 | 一台 |
| 2. 数字调制模块 | 一块 |
| 3. 数字解调模块 | 一块 |
| 4. 40 心扁平电缆 | 二根 |
| 5. 连接线 | 一根 |

连接说明: (用于调制模块的同相载波 T13 与解调模块的相干载波入 P10 之间连线)

六 实验报告要求

- 1、通过两种解调方式的波形，分析这两种解调方式的解调原理
- 2、画图时将波形的相位关系正确表示出来，若波形之间产生相位差说明原因。
- 3、通过实验表述两种解调器各有什么优缺点。

七、预习要求

- 1、复习教材有关 2FSK 调制与解调理论。
- 2、复习模拟锁相环的原理及实验方法。
- 3、认真预习本实验指导书的工作原理和实验内容。

实验六、2PSK、2DPSK 调制与相干解调

一、实验目的

- 1、了解 2PSK、2DPSK 的调制原理及电路的实现方法。
- 2、掌握绝对码、相对码相互变换方法。
- 3、了解 2PSK 调制与解调存在的相位含糊问题。
- 4、了解 2PSK、2DPSK 的相干解调原理及电路的实现方法。

二、实验原理

在数据传输系统中，由于移相键控调制方式具有较好的抗噪声性能，在相同的信噪比条件下

，可获得比其它调制方式(如 ASK、FSK)更低的误码率，更强的频带利用率，因此，这种调制

方式在实际通信系统中得到比较广泛的应用。本实验采用的是二相 PSK、二相 DPSK 移相键控调

制与相干解调方式。为了提高信道单位频带信息传输率，其它还有四相移相键控方式(4PSK

)8 相移频键控(8PSK)等等多相制移相键控调制方式。同样，为了提高信息可靠的接

收，有采用最佳接收解调方式，还有采用延迟解调方式等等。

移相键控调制是利用载波相位变化来传递数字信息的。通常又分为绝对相移键控和相对相移

键控两种方式。二相绝对移相键控(2PSK)是采用直接调相法实现的，即用输入的基带信号不经过变换

直接控制载波相位的变化来实现相位键控，二相相对移相键控(2DPSK)是采用码形变换后，将绝对码变成相对码，然后将相对码进行绝对调相来实现键控的。

本实验中的 2PSK、2DPSK 调制器是使用数字调制模块的电路，其原理方框图如图一所示。

1、数字调制器模块——码产生电路：可以任意选八位码，并且照此循环的码组。通过 U9B 使码组与时钟 256KHZ 相位保持一致，U9BQ 端输出绝对码序列 $\{a_n\}$ 。

2、数字调制器模块——绝/相变换电路：该电路作用是把数据信息源输出的绝对码变换成相

对码 2

DPSK 信号产生流程是：绝对码 \rightarrow 相对码 \rightarrow 绝对调相 \rightarrow 产生 2DPSK 信号。模二加 U10

A(74LS86)和 D 触发器 U9A(74LS74)组成一个绝/相变换电路，其逻辑关系为：

3、数字调制模块—— $0/\pi$ 相载波产生电路：采用 MA733 集成电路本身具有 $0/\pi$ 载波的特点

产生相差 180° 的载波信号。

4、数字调制模块——相位调制电路：对载波的相移键控是用乘法器来实现，常用的乘法器

有环形调制器、模拟乘法器及模拟开关。本实验采用模拟开关 4066 作乘法

器。本实验移相键控有 2PSK 二相绝对移相键控。其调制规律是以未调载波的相位作为基准的相位调制。如：取码元为“1”时调制后载波与未调载波同相，取码元为“0”时，调制后载波与未调载波反相，“1”和“0”时调制后载波相位差 180° 。绝对移相的波形如图所示。

在 2PSK 相干解调中由于存在相位含糊问题，即恢复的载波可能与未调载波同相，也可能反相，至使解调后的信码出现“0”、“1”倒置，发送为“1”码，解调后得到“0”码。发送“

0”码，解调后得到“1”码。这是我们所不希望的，为了克服这种现象，实验中，我们采用 2

DPSK 二相相对移相键控。其调制规律是：每一个码元的载波相位不是以固定的未调载波相位

作基准的，而是以相邻的前一个码元的载波相位来确定其相位取值。如：当某一码元取“1

”时，它的载波相位与前一码元的载波同相，码元取“0”时，它的载波相位与前一码元的载波反相。

5、噪声电路：为观察 2PSK、2DPSK 输出信号叠加噪声后的输出波形所设计的噪声电路。使用时将噪声送入电阻相加电路 R48、R60、R61。

本实验 2PSK、2DPSK 解调器是使用数字解调模块的电路，采用相干解调器的方框图，如下：

1、数字解调模块——畸变电路，带通滤波器：

U27 作为低通滤波器，当改变其 UR10 参数后，信号高频分量受到衰减，带内幅频特性变差。使信号经过它后产生畸变。U26 作为带通滤波器，信号通过后频带受限，带外噪声受到抑制。

2、数字解调模块——模拟相乘器：

U3 采用 MC1496 集成模拟乘法器，它的内部结构是双差分对电路，在小信号情况下，双差分对电路的输出正比于两个输入电压的乘积。

3、数字解调器——低通滤波器：

R9、C8 和 R23、C59 组成 RC 低通滤波器，滤除载频的二次谐波，实验中载频为 1024MHZ，基带码元速率为 256Kb/s，所以，低通滤波器的-3db 截止频率只要选

在 $256\text{KHZ} \leq f_c < 1024\text{MHZ}$ 即可。

4、数字解调器——电压比较器：

U13 (LF710) 用来将双极性、畸变的相干解调数字信号整形后输出一个 TTL 电平信号。由于这时的信号不是一个标准的单极性非归零码，因此，它不能直接送入相/绝变换电路，还需 U14A (74LS74) 取样判决后才能在 T7 端得到与时钟相位一致规整的绝对码信号 (2PSK 调制时) 或相对码信号 (2DPSK 调制时)。

5、数字解调器——相绝变换电路：由 U14B (74LS74) 和 U15B (74LS86) 组成一个

相/绝变换电路，其逻辑关系为：

其中 b_i 为相对码； b_{i-1} 为延迟一码元的相对码； a_i 为绝对码

6、数字解调模块——时钟延迟电路：

为了保证取样判决的电路稳定可靠，使用取样判决的时钟时，应使该时钟的前沿滞后于被取

样的非归整的信码前沿。调整时钟延迟时间可以达到此目的。延迟电路由在一个集成电路 U

7 (74LS123) 上的两个单稳触发器完成。

三、实验内容

1、用示波器观察 2PSK、2DPSK 调制器信号波形与绝对码比较是否符合调制规律。

2、用示波器观察 2PSK、2DPSK 信号频谱。

3、用示波器观察 2PSK、2DPSK 信号解调器信号波形。

4、观察相位含糊所产生的后果。

四、实验步骤

1、实验说明：本实验采用数字调制模块和数字解调模块中的 2PSK、2DPSK 调制电路与相干解

调电路。由于同步原理的内容以后才学，因此载波、时钟提取、提纯模块以后才用。数字解

调所需的相干载波由数字调制模块 T13 或 T14 处提供 (两处载波相位差 180°)，所需要的时钟由数字调制模块 T4 (256KHZ) 提供。

2、首先，将数字调制模块和数字解调模块的电源线、地线、信号输出线、信号输入线正确

连接。预热示波器，开启电源。

3、将数字调制器模块开关置位正确，S1 置内码，S2 置内时钟，S4 置绝对码，S5 置内方波，S6 置内载波，S7 置合路。观察当绝对码为 11101100 时，绝对移相 (2PSK) 调相波形是否符合绝对移相的调制规律。绘出绝对码和调相波形对应的图形。

4、将 S4 置相对码，测试当绝对码为 11101100 时，全“1”时，全“0”时，绝相变换

后，相对码波形，绘出绝对码、相对码、延迟一码元相对码波形，检查是否符合绝/相变换

逻辑关系。

5、观察当绝对码为 11101100 时，相对移相 (2DPSK) 波形是否符合相对移相

调制规律，画出绝对码、相对码与 2DPSK 的对应波形。

6、将 S4 置绝对码(绝对码为 11101100)处观察 2PSK 调制时，相干解调器存在相位含糊的现象。先将 2PSK 信号送入相干解调器 T3 处，然后将数字调制模块的同相载波送入解调模块 T6 处，观察 T30 处基带信号，然后取掉同相载波，再将反相载波送 T6 处，观察 T30 处基带信号。载波反相后，观察解调器的基带信号是否反相。

7、将数字调制模块 256K 时钟(T4 处)送入数字解调模块时钟入处(T15 处)观察比

较器输出(T9 处)和信码输出(T7 处)。请注意：观察电路图可知 T7 处在 2PSK 调制时为绝对码出，在 2DPSK 时 T7 处为相对码出。

8、绘出绝对码为 11101100 时，当 2PSK 时调制器和解调器各点波形，当 2DPSK 时调制器和解调

器各点波形，画出对应的相位关系。

五、实验仪器

1. 双踪示波器一台
2. 数字调制模块一块
3. 数字解调模块一块

六、实验报告要求

1、画出 2DPSK 调制器、相干解调器详细方框图。

2、根据实验测试记录依次画绝对码为 11101100 时 2DPSK 调制器、相干解调器各点波形，并作

必要说明。注意：画 2DPSK 波形时，每个码元内只需画二个周期的载波波形即可。

七、预习报告

- 1、复习教材有关 2PSK、2DPSK 调制与相干解调理论。
- 2、复习绝/相变换、相/绝变换的原理。
- 3、预习本实验指导书原理及内容。

→

实验七、PCM 编译码及全双工数字基带通信系统实验

一、实验目的

- 1、掌握 PCM 编译码工作原理。
- 2、了解 PCM 集成电路工作原理和应用。
- 3、了解掌握 PCM 编译系统的主要指标及测试方法。
- 4、了解 PCM 基群信号形成和分接过程。
- 5、了解 PCM 系统全双工通话工作过程。

二、实验原理和电路说明

1、概述

数字通信系统中，由于脉冲编码(PCM)使信号在模数变换和逆过程中，动态范围大，信噪比特特性好，因此得到广泛应用，过去 PCM 编译码均采用分立元件和小规模集成电路组成，编译码电路功耗大，设备体积笨重，采用群路公用编译码方式，运用繁琐。近年来由于超大规模集成电路的发展实现了单路单片 PCM 基群复用设备，使功耗降低体积减小，可靠性大大提高。本实验根据实际 PCM 编译码电路，结合综合性、系统性实验，使同学对 PCM 编译码原理，有更深认识，同时掌握系统的正确测试方法。学生通过全双工收发的通话联接方式，可以亲身体会到数字通信收听的话音质量。

2、PCM 编译码原理

众所周知，脉冲调制通信就是把一个时间连续、取值连续的模拟信号转换成时间离散、取值离散的数字信号后在信道中进行传输。而脉冲编码调制就是对模拟信号先进行抽样后，再对样值的幅度进行量化、编码的过程。

所谓抽样，就是对模拟信号进行周期性扫描，从而把时间上连续的信号变成时间上离散的信号。该模拟信号经过抽样后还应当包括原信号中所有信息，也就是说能无失真的恢复原模拟信号。它的抽样速率的下限是由抽样定理确定的。在该实验中，抽样速率采用 8Kbit/s。

所谓量化，就是把经过抽样得到的瞬时值将其幅度离散，即用一组规定的电平，把瞬时抽样值用最接近的电平值来表示。一个模拟信号，经过抽样量化后，得到的已量化的脉冲幅度调制信号，它仅为有限个数值。

所谓编码，就是用一组二进制码组来表示每一个有固定电平的量化值。然而，实际上量化是在编码过程中同时完成的，故编码过程也称为模/数变换，可记作 A/D。

由此可见，脉冲编码调制方式是一种传递模拟信号的数字通信方式。

单路的发、收 PCM 构成原理如图一所示。话音信号先经防混叠低通滤波器，得到限带信号(300~3400Hz)，进行脉冲抽样，变成 8KHz 的重复频率的抽样信号，然后将幅度连续的 PAM 信号用“四舍五入”的办法量化为有限个幅度取值的信号，再经编码，转换成二进制码。对于电话，CCITT 规定抽样率为 8KHz，每抽样值编 8 位码，即共有 $2^8=256$ 个量化值，因而每话路 PCM 编码后的标准数码率是 64Kbit/S。为解决均匀量化时小信号量化误差大、音质

差的问题，在实际中采用不均匀选取量化间隔的非线性量化方法，即量化特性在小信号时分层密、量化间隔小，而在大信号时分层疏，量化间隔大，如图二所示。

(a) u 律；

(b) A 律

在实际中广泛使用的是两种对数形式的压缩特性：A 律和 u 律。对压缩而言，其输入输出归一化特性表示式为：

A 律：

U 律：

其中 A、u 为压缩系数，由左式可以知，A 律中 $0 \leq x \leq 1/A$ 范围内， $f(x)$ 是一段直线，也就是说相当于均匀量化， $1/A \leq x \leq a$ 的范围内，是一条对数特性曲线。由右式可知 u 律中，u 越大压缩效果越明显，u=0 时相当于无压缩。

根据 CCITT 的建议规定以 13 段折线近似的 A 律 (A=8756) 和 15 段折线近似的 u 律 (u=255) 作为国际标准。

A 律 PCM 主要用于欧洲，u 律主要用于北美和日本，我国采用欧洲体制。

这种折线近似压扩特性的特点是：各段落间量阶关系都是 2 的倍数，在段落内均匀分层量化，即等间隔 16 个分层。这些对于用数字电路实现非线性编码与译码是极为方便的。A 律的编译码表分别列于表 1A、表 1B、表 1C。段落码与各段的关系如图三所示。

3、PCM 编译码器简介

本实验 PCM 编译码器采用了 TP3067 专用大规模集成电路，它是 CMOS 工艺制造的单片 PCM A/u 律编译码器，并且片内带有输入输出话路滤波器。TP3067 内部组成框图如图四所示，管脚如图五所示。

各管脚功能如下：

- (1) VPO+接收功率放大器的非倒相输出
- (2) GNDA 模拟地，所有信号均以该引脚为参考点
- (3) VPO-接收功率放大器的倒相输出
- (4) VPI 接收功率放大器的倒相输入
- (5) VFRO 接收滤波器的模拟输出
- (6) VCC 正电源引脚， $VCC = +5V \pm 8\%$
- (7) FSR 接收帧同步脉冲，它启动 BCLKR，于是 PCM 数据接入 DR，FSR 为脉冲序列 8KHz。
- (8) DR 接收帧数据输入，PCM 数据随着前沿移入 DR
- (9) BCLKR \ CLKSEL 在 FSR 的前沿后把数据移入 DR 的位时钟，其频率可从 64KHz 至 2.048MHz 另一方面它也可能是一个逻辑输入，以此为在同步模式中的主时钟选择频率 1536MHz \ 1544MHz 或 2048MHz，BCLKR 用在发送和接收两个方向。
- (10) MCLKR \ PDN 接收主时钟，其频率可以为 1536MHz \ 1544MHz 或 2048MHz，它允许与 MCLKx 异步，但为了获得最佳性能应当与 MCLKx 同步，当 MCLKR

连续联在低电位时，CLK_x 被选用为所有内部定时，当 MCLKR 连续工作在高电位时，器件就处于掉电模式。

(11)MCLK_x 发送主时钟，其频率可以是 1536MHz \ 1544MHz \ 2048MHz，它允许与 MCLKR 同步，同步工作能实现最佳性能。

(12)BCLK_x 把 PCM 数据从 Dx 上移出的位时钟，其频率可从 64KHz 变至 2048KHz，但必须与 MCLK_x 同步。

(13)DX 由 FS_x 启动的三态 PCM 数据输出

(14)FS_x 发送帧同步脉冲输入，它启动 BCLK_x 并使 Dx 上 PCM 数据移出 Dx。

(15)TS_x 漏极开路输出端，它在编码时隙输出低电平。

(16)ANLB 模拟环回路控制输入，在正常工作时必须置为逻辑“0”，当拉到逻辑“1”时，发送滤波器和发送前置放大器输出的连接线被断开，改为和接收功率放大器的 VPO+输出连接。

(17)GS_x 发送输入放大器的模拟输出。用来在外部调节增益。

(18)VFXI-发送输入放大器的倒相输入。

(19)VFXI+发送输入放大器的非倒相输入。

(20)VBB 负电源引脚，VBB=-5V±5%

电路的功能说明：

TP3067 可以组成模拟用户线与程控交换设备间的接口，包含有话音 A 律编解码器。自调零逻辑。话音输入放大器、RC 滤波器、开关电容低通滤波器、话音推挽功放等功能单元。TP3067 具有完整的话音到 PCM 和 PCM 到话音的 A 律压扩编解码功能。它的编码和解码工作既可同时进行，也可异步进行。(1)同步工作时，主时钟加到 MCLK_x 端上，移位时钟加到 BCLK_x 端上，主时钟的频率通过 BCLK_x \ CLKSEL 选择。如果 BCLK_x \ CLKSEL=0，主时钟为 1536MHz 或 1544MHz，如果 BCLK_x \ CLKSEL=1，主时钟为 2048MHz。移位时钟可以从 64kHz 到 2048MHz，需和主时钟同步。在这种方式下，编解码主时钟和移位时钟相同。(2)异步工作时，MCLK_x 和 BCLK_x 上均需 2048MHz 时钟，两者可以不同步，但若性能最佳，两者应该同步，同样 BCLK_x 和 BCLK_x \ CLKSEL 端上也要加入编码和译码时钟，分别用作编码输出和译码输入的 PCM 码流的移位时钟，两者均可以从 64kHz 到 2048MHz。FSX 和 FSR 分别为编码和解码的帧同步脉冲，FSX 脉冲开始一次编码周期，并把上次编码的结果在 BCLK_x 的上升沿从 DX 上移出，经过 8 次移位后，DX 回到三态。FSR 脉冲开始解码周期，PCM 数据在 BCLK_x(同步方式中为 BCLK_x) 的下降沿锁入接收寄存器，FSX 和 FSS 的频率均为 8kHz。TP3067 模拟语音输入部分含有可用电阻调节的运算放大器，RC 预滤波器、八级开关电容带通滤波器和采样保持电路，A/ D 变换器(具有 A 律压缩特性)。译码部分是通过具有 A 律扩张特性的 D/ A 变换器、五级开关电容低通滤波器等完成，通过功率放大器输出，可以直接驱动线路变压器，第一功放可将译码滤波器输出的±2.5V 电压提升到±3.3V(负载为 300Ω)，第二级功放可对平衡负载再提高 6dB。

TP3067 采用的是 A 律并带有偶位取反的编码方法。即：

VIN=+2.5V, 编码为：10101010

VIN=0V, 编码为：11010101 或 01010101

VIN=-2.5V, 编码为：00101010

4、实验模块中的时钟部分

分为内部时钟和外部时钟：

内部时钟由晶振经 4096KHz 分频得到 2048KHz(主时钟)、1024KHz(位时钟)、256KHz(位时钟)、64KHz(位时钟)、8KHz(帧同步信号)，编解码器 PCMA、PCMB 分别有主时钟、位时钟、帧同步信号、内外时钟开关。当开关打到外时钟可以与信源模块、终端模块相连组成多路数字信号合与分路。

5、实验模块中的同步信号部分

将一个正弦信号送入编码器，我们希望看到一个稳定的码子以便我们能直观的理解 PCM 原理，该部分电路为此设计的。

6、PCM 编码部分

本实验采用了集成电路 TP3067 实现编码功能。发送部件的输入端为一个运算放大器，并配有两个调整增益的外接电阻。在低噪声和宽频带条件下，整个音频通带内的增益可达 20dB 以上。该运算放大器驱动一个增益为 1 的滤波器(由 RC 有源前置滤波器组成)，后面跟随一个时钟频率为 256KHz 的 8 阶开关电容带通滤波器。该滤波器的输出直接驱动编码器的抽样保持电路。在制造中配入一个精密电压基准，以便提供额定峰值为 2.5V 的输入信号。FSX 帧同步脉冲控制滤波器输出的抽样，然后逐次逼近的编码周期就开始。8 位码装入缓冲器内，并在下一个 FSX 脉冲下通过 DX 移出。整个编码时延近似地等于 165us 加上 125us(由于编码时延)，其和为 290us。

7、PCM 译码部分
接受部件包括一个扩展 DAC(数模转换器)，而它又驱动一个时钟频率为 256kHz 的 5 阶开关电容低通滤波器。译码器是依照 A 律(TP3067)设计的，而 5 阶低通滤波器校正 8kHz 抽样保持电路所引起的 $\sin x/x$ 衰减，在滤波器后跟随一个其输出在 VRF0 上的 2 阶 RC 低通后置滤波器。接受部件的增益为 1 但利用功率放大器可加大增益。当 FSR 出现时在后续的 8 个 BCLKR(BCLKX) 的下降边沿，DR 输入端上的数据将被时钟控制。在译码器时隙的终端，译码循环就开始，而在 10us 左右(译码器更新时间)，加上 11us(滤波器时延)与 625us(半帧)，其和近似的等于 180us。

8、复接器与分接器部分：其工作原理和电路见信源模块和终端模块实验指导书。

三、实验内容

- 1、观察与测量时钟和同步信源的频率、相位关系。
- 2、将同步信号源 2KH 信号改变不同的输出幅度观察 PCM 发码端子的变化。
- 3、发端编码送入译码器，译码后观察输出 2K 正弦波信号并与输入 2K 正弦信号进行比较。
- 4、内容对系统的动态范围、信噪比特性和频率特性等性能进行测试。
- 5、进行 PCM 全双工数字基带系统通话实验且主观判定语音质量。
- 6、将编码器与信源模块的分路器连接，将译码器与终端模块的分路器连接，实现两路 PCM 数字信号的合路与分路。

四、实验器材

- 1、双踪示波器 1 台
- 2、信源模块
- 3、数字终端模块
- 4、PCM 编译码及全双工数字基带通信系统实验模块

五、实验步骤（连线参加步骤六）

1、准备工作：熟悉信源实验模块、终端实验模块，PCM 编译码及全双工数字基带通信系统实验模块的电路图，直流稳压源调整好所需电压，经检查后接通实验模块的电源。 2、观察时钟与时隙信号 T20（时隙信号为 8K 帧同步的宽度）的波形，测量其频率或周期。

3、用示波器观察 1 个时隙脉冲宽度内所含时钟信号周期。

4、观察单路编码信号。首先，将 2K 正弦同步信号接入 P17 或 P18，然后将信号调整到输出幅度为固定电平，观察 T12 或 T13 测试点的码子，然后改变电位器 VR3，改变输入信号幅度，观察 T12 或 T13 点码子变化情况。

5、从合路输出观察多路（实验以两路代替）PCM 编码信号。

6、观察译码器输出的模拟信号，比较编码器之前的模拟信号与译码器输出的模拟信号的变化情况。

7、动态范围

在满足一定信噪比(S/ N)条件下，编译码系统所对应的音频信号的幅度范围定义为动态范围。通常规定音频信号的频率为 800Hz(或 1000Hz)。动态范围应大于 CCITT(国际电报、电话咨询委员会)建议的框架(样板值)，如图六所示。动态范围的测试框图如图七所示。在原理部分已经提到，PCM 编译码器允许输入信号的最大幅度为 4 36V。为了确保器件的安全使用，本实验在进行动态范围这一指标测试时，不再对输入信号的临界过载进行验证。取输入信号的最大幅度为 5VP-P(注意：信号要由小至大调节)，测出此时的 S/N 值。

设临界过载幅度为 V_{max} ，这是正弦输入信号编码不过载的最大幅度。当输入信号大于临界过载幅度之后，输出信号的 S/ N 急剧下降。首先找出临界过载点，然后以 10dB 一个点衰减输入信号，将测试数据填入下表。

8、信噪比特性

在上一项测试中选择出最佳编码电平(S/ N 最高)，在此电平下测试不同频率下的信噪比值。频率选择在 500Hz/ 1KHz/ 2KHz/ 3KHz。

信噪比特性的测试框图如图 8 所示。

信噪比特性测试数据记录于下表。

9、频率特性

选一合适的输入电平($V_{in}=2VP-P$)，改变输入信号的频率，在译码输出处逐个

频率点测出译码输出信号的电压值，频率特性测试数据记录于下表。

10、全双工数字基带信号通话实验

两学生为一组，采用全双工方式通话，当讲话声音为小信号和大信号时，收听译码输出效果，学生进行主观评分，同时可以监测信码、模拟信号

的波形。通过本实验基本了解 PCM 编译码及全双工数字基带信号收、发系统的工作过程。

六、实验连线说明：

1)、用 40 芯电缆将 PCM 编译码及全双工数字基带通信系统实验模块与信源模块相连接

四个四位开关全部置为 OFF（位置在下）。

1、PCM 编码器 A（或 B）的码流接入 PCM 译码器 A（或 B）的编码/译码方式：

- 1) 将编码器 A 接口的 P9（2048Khz）与译码器 A 接口 P3（或译码器 接口 P15）相连接。
- 2) 将编码器 A 接口的 P11（256Khz）与译码器 A 接口 P5 相连接。
- 3) 将编码器 A 接口的 P13（8Khz）与译码器 A 接口 P7 相连接。
- 4) 将 P19（正弦波）P17 相连接。
- 5) 将编码器 A 接口的 P1（编码器 A 码出）与译码器 A 接口 P16（译码器 A 码入）相连接。

观察 T1（A 编码音频监视）和 T8（A 译码音频监视）

2、PCM 编码器 A（或 B）的码流接入 PCM 译码器 B（或 A）的编码/译码方式：

- 1) 将编码器 A 接口的 P9（2048Khz）与译码器 A 接口 P3（或译码器接口 P15）相连接。
- 2) 将编码器 A 接口的 P11（256Khz）与译码器 A 接口 P5 相连接。
- 3) 将编码器 A 接口的 P13（8Khz）与译码器 B 接口 P8 相连接。
- 4) 将 P19（正弦波）P17 相连接。
- 5) 将编码器 A 接口 P1（编码器 A 码出）与译码器 B 接口 P15（译码器 B 码入）相连接

观察 T1（A 编码音频监视）和 T9（B 译码音频监视）

2)、将编码器与信源模块的合路器连接，将译码器与终端模块的分路器连接，实现两路 PCM 数字信号的合路与分路。

1、先将信源模块与终端模块用 40 芯电缆连接起来，再将 PCM 模块与终端模块相连。

2、将 PCM 模块的 P1（编码器 A 码出）与信源模块的 P17（外码 3）相连并将 S3 置外码。

(注：PCM 模块 A 口进 B 口出状态一定对应于信源模块第 3 路外码和数字终端第 2 路码输出。若 B 进 A 出对应信源模块第 4 路外码和数字终端第 3 路码输出)

- 3、将 PCM 模块的 P15 (编码器 B 码入) 与终端模块的 T20 (第二路码输出) 相连
- 4、将 K4-3 (主时钟) 置位 “ON”，其余为 “OFF “不变。
- 5、观察比较 PCM 模块的 T1 与 T9 波形。

七、实验报告

- 1、整理实验记录，画出响应的曲线和波形并加以分析。
- 2、PCM 编译码系统由哪些部分构成?各部分的作用是什么?
- 3、PCM 编译码器件的动态范围、信噪特性、频率特性的测试结果?
- 4、主观评价通话音质量，它的好坏与哪些因素有关?

八、预习报告

- 1、复习《通信原理》中有关 PCM 编译码(A 律)原理的内容
 - 2、认真阅读本实验内容，熟悉实验步骤
- 附：PCM 编译码及全双工数字基带通信系统实验方框图

实验九、 Δ 增量调制编译码及半双工基带通信实验

一、实验目的

- 1、掌握增量调制编译码的基本原理，并且理解实验电路的工作过程。
- 2、比较简单增量调制、自适应增量调制的系统组成和特点
- 3、了解 MC34115（或 MC3417）单片 CVSD 集成电路的使用方法，学会测试有关性能指标。
- 4、掌握增量调制的半双工基带通信方法。

二、实验内容

- 1、了解实验模块布局，观测时钟 8KH_z 、 16KH_z 、 32KH_z 、 64KH_z 和同步正弦信号源 1KH_z 的波形。同时观察时钟与 1KH_z 之间的相位关系。
- 2、利用低频信源通过逐点扫描测试发话滤波器 LF_1 （或 LF_3 ），收话滤波器 LF_2 （或 LF_4 ）幅频特性，检查滤波器。
- 3、将同步正弦信号 1KH_z 送入模块编码器 A（或 B），通过译码器 B（或 A）恢复 1KH_z 信号，观察模块自适应、简单 ΔM 方式在小量阶、大量阶时编码（发话）、译码（收话）状态下的观测点波形。
- 4、改变同步正弦信号 1KH_z 的幅度，观察编码器起始编码正常编码、过载编码的波形。确定起始编码时的信号电平 A_K ，临界过载电平 A_{\max} 。
- 5、测量系统的过载特性。
- 6、测量系统的编码动态范围 D。
- 7、测量最大信号量化噪声比 S/N_q 。
- 8、测量译码器输出信号的幅频特性 ΔM 通话实验。
- 9、双方实现半双工自适应 ΔM 通话实验

三、实验原理

在 PCM 系统中以 L 位（电话信号 L=8）二进制码表示每个样值的量化电平，它直接由取样量化值确定，不受前后取值的制约。增量调制（ ΔM ）采用一位二进制码代表两个取样的差值，当差值为正，发送正脉冲，为负发送负脉冲，由于仅用一位二进制码代表差值的两种可能性，所以电路简单，码速较低（相对于 PCM 系统的 64Kb/s 速率），话音质量也能满足一般要求，通常用于军事及一些特殊的通信中。

（一） ΔM 原理

根据通信原理课程所学内容，我们得知简单的 ΔM 的一般原理框图如图 1。

其中 $X_c(t) = \Delta(t) \sum \delta(t - nT_s)$

式中 T_s 为取样周期， $\Delta(t)$ 为 $d(t) = X(t) - X_1(t)$ 再经限幅后的产物。

上式可写成 $X_c(t) = \sum \Delta(nT_s) \delta(t - nT_s)$

这就是增量调制器的输出脉冲序列。

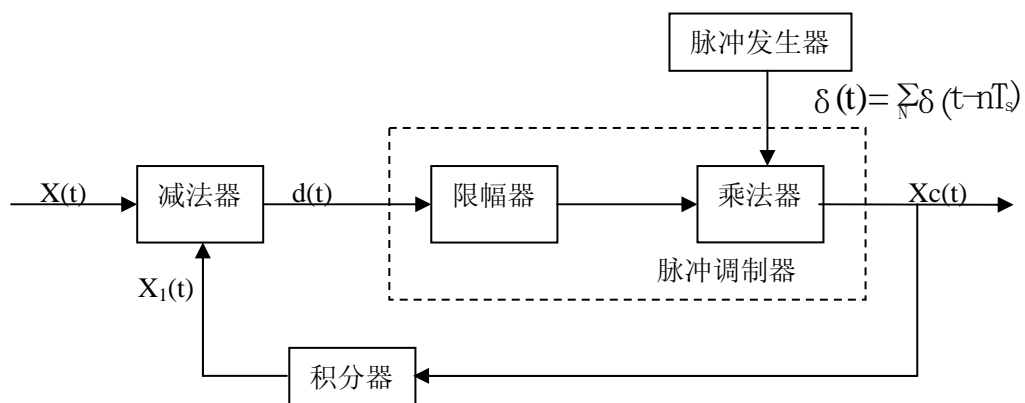


图 1

(1) 过载失真特性

预测信号 $X_1(t)$ 逼近输入信号 $X(t)$ 的精确程度，取决于量阶 Δ 和取样频率 f_s 两个参量。当参量 Δ 和 f_s 选定后，输入模拟信号变化率不能太大，否则 $X_1(t)$ 变化速率跟不上 $X(t)$ 的变化，形成“过载失真”。如图 2 所示。

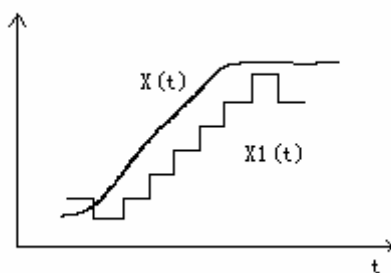


图 2 过载失真

以输入正弦波信号为例： $X(t) = A \sin 2\pi f t$

它的最大斜率为： $(\frac{dx(t)}{dt})_{\max} = A 2 \pi f$

不发生过载失真应满足： $A 2 \pi f \leq \Delta f_s$

故临界过载电平 $A_{\max} = \Delta f_s / 2 \pi f$

即： $(A_{\max})_{dB} = 20 \lg (\Delta f_s / 2 \pi) - 20 \lg f$

(2)编码动态范围

编码动态范围是指编码器临界过载电平 A_{max} 和起始编码时的信号电平 A_k 之比，即

$$D=20\lg (A_{max}/A_k)$$

当输入信号 $X(t)$ 幅度小于一定数值 A_k 时不能编码，此时编码输出为“1”、“0”交替码，如图 3 所示



图 3

可见 $A_k = \Delta / 2$

故得 $D=20\lg (f_s / \pi f)$

因此 f 取定后， D 随取样频率 f_s 的增大以每倍频程 6dB 增加。

(3)量化噪声

ΔM 系统与其他模拟信号量化系统一样，也存在着量化编码引起的量化噪声。通过通信原理课程学习，我们得知 ΔM 量化噪声（在信号电平幅度达到临界过载电平条件下）：

$$\begin{aligned} (S/N_q)dB &= 30\lg f_s - 20\lg f - 10\lg f_x - 14db \\ &= 0.04 \left(\frac{f_s^3}{f^2 f_B} \right) \end{aligned}$$

其中 f_x 是低通滤波器截至频率。

可见量化信噪比随 f_s 的增大以每倍频程 9dB 的速度增大。

(二) 自适应增量调制 (ΔM)

从斜率过载条件看，希望增大量阶；但要减小量化噪声，提高小幅度信号的信噪比，又应减少量阶。为解决简单 ΔM 存在的矛盾，提高了自适应增量调制 (ΔM)。常用的是数字式音节压扩增量调制方案，原理方框图如图 4，它由 n 个连码检测器（通常 $n=3$ 或 4，图中 $n=3$ ），检出 n 个连“1”或连“0”的出现数目，以此信号 Z 通过电压变换音节滤波器去控制量阶发生器变大变小，如图

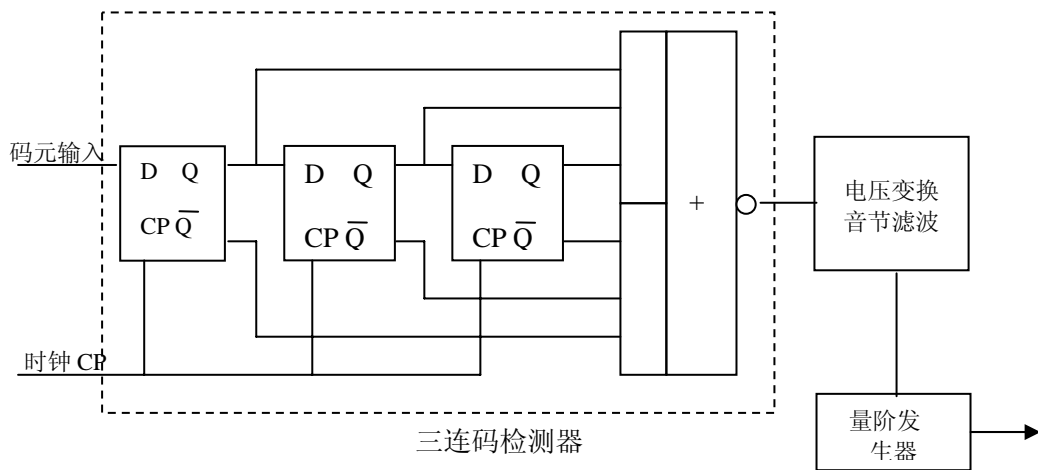


图 4

$$Z = \overline{ABC} + \overline{A}BC$$

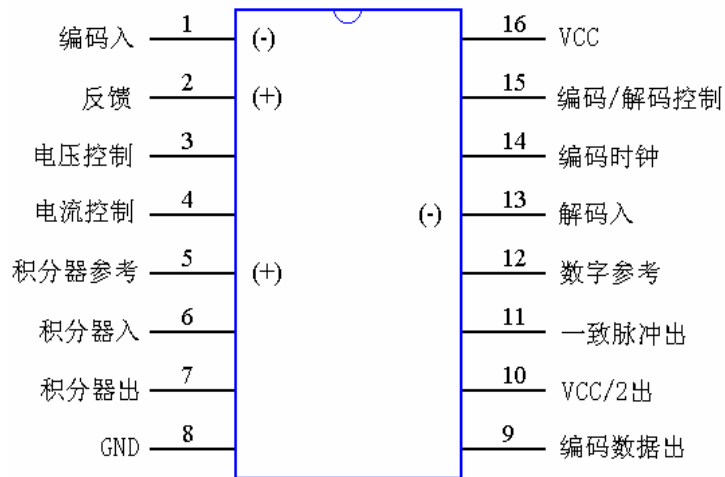
则 $Z=0$ 时量阶将变大，反之变小。

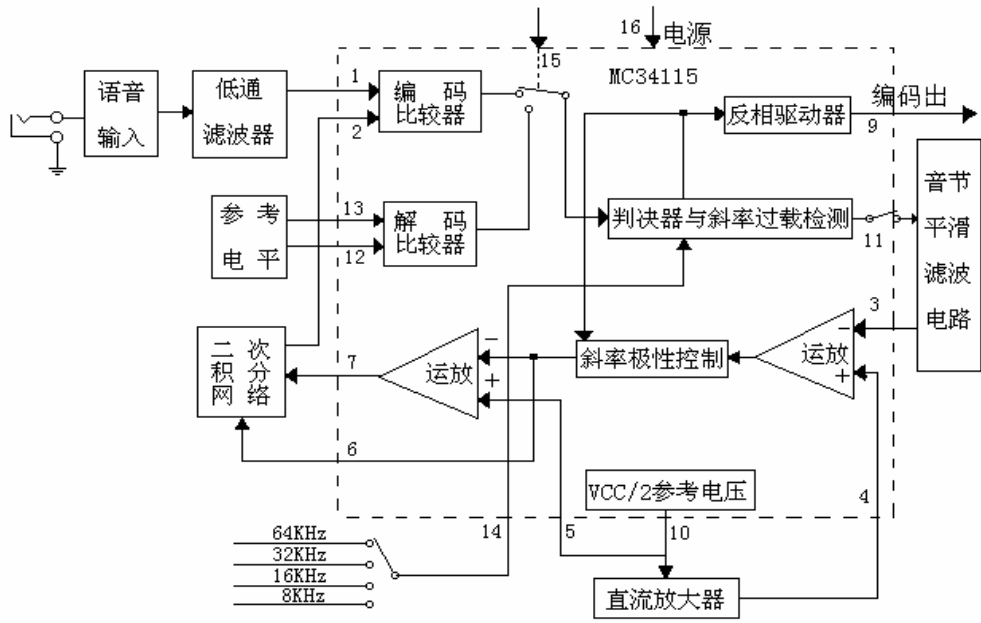
(三) 本实验所用单片 ΔM 编解码电路

在本实验中，系统实现方案与以上模型有一些差异。MC34115 是 Motorola 公司生产的单片 ΔM 编解码集成电路，它的外引线排列图以及内部结构框图如下：

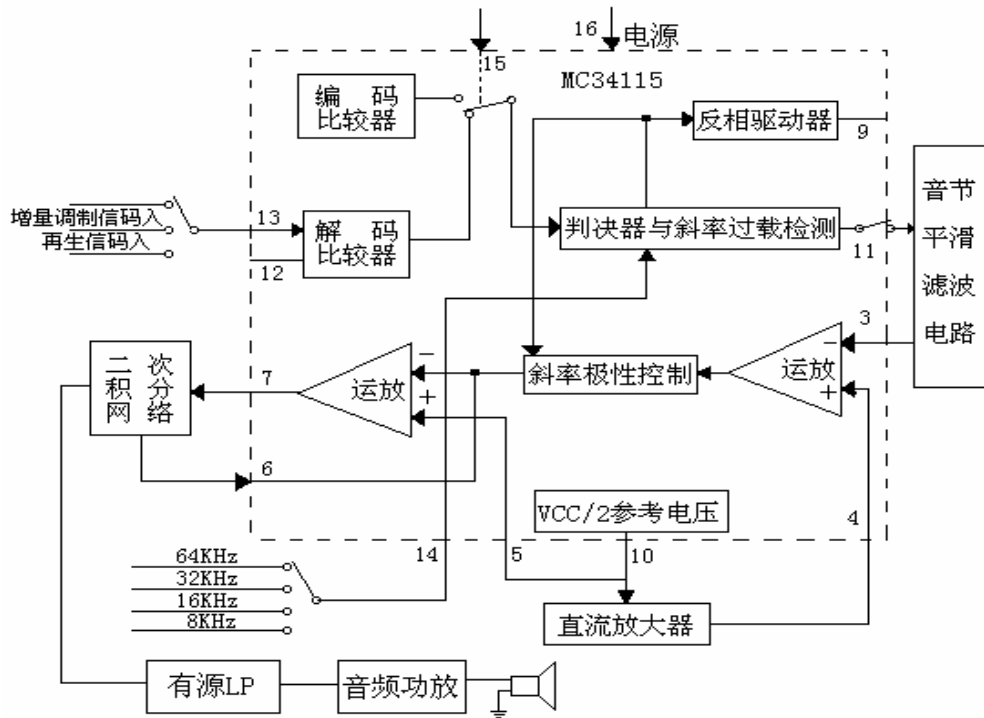
- ①典型参数:工作电压 $VCC=4.75V \sim 16.5V$
功耗($VCC=5 \sim 16.5V$), $20 \sim 90mW$

②外引线排列图





增量调制编码器电原理框图



增量调制译码器电原理图

(1) 大规模集成电路 MC34115 芯片功能引脚介绍:

第 1 引脚: 模拟信号输入端。输入音频模拟信号经过直流分量变换为内部参考电压值, 则应在该端与第 10 引脚 (VCC/2 端) 间接入偏置电阻。

第 2 引脚: 模拟反馈输入端。

该端为集成电路内模拟比较器的同相输入端。当该集成电路工作于编码方式时, 其本地解码信号从该端输入至内部的模拟比较器; 当该集成电路工作于译码方式时, 该端不用, 可接到第 10 引脚 (VCC/2 端) 也可以接地或不接悬空。

第 3 引脚: 量阶控制信号输入端。

当从第 11 引脚 (一致脉冲输出端) 端输出的负极性一致脉冲经过音节平滑滤波器, 由 RC 网络构成平滑后得到量阶控制电压输入到第 3 引脚至内部 V-I 变换运算放大器内, 控制积分器量阶的大小。在进行音频编码时的典型时间常数为 6~50ms。

第 4 引脚: 增量控制输入。

给芯片内部的 V-I 变换运算放大器使该端电压跟随量阶控制电压变化, 变换速率为 $0.5/\mu\text{s}$ 。因此输入该端的电流大小由外接调整电阻 R_x 决定。

第 5 引脚: 参考电压输入端。该端为积分运算放大器的同相输入端, 用于调节输出模拟信号的直流分量。在进行编码时, 为保证输入输出模拟信号具有相同的直流分量, 该端应通过偏置电阻与 VCC/2 端相连。

第 6 引脚: 外接积分器输入端。

该端为积分运算放大器的反相输入端, 用于外接元件组成积分滤波器。在编码时, 如果第 1 引脚 (即音频模拟信号输入端) 的输入信号幅度大于第 2 引脚, 即大于模拟反馈输入端的反馈输入信号的幅度, 则积分电流输入到该引脚, 反之, 则积分电流输出该引脚。在解码时, 第 13 引脚即接收数据输入端, 若输入数据为“1”码, 则积分电流为输入该端, 反之, 则积分电流输出该端。

第 7 引脚: 模拟信号输出端。

该端为积分运算放大器的输出端。它根据第 13 引脚 (即接收数据输入端) 输入数据恢复的音频模拟信号从该端输出到积分网络中。

第 8 引脚: 负电源端。

第 9 引脚: 发送编码数据输出端。

该集成电路将音频信号编成信码后从该端输出, 其输出电平与 TTL 或 CMOS 兼容。

第 10 引脚: 参考电压输出端。

该端在单电源工作时, 输出的参考电压值为电源电压的一半, 可用来建立各运算放大器的直流工作点, 输出电流至少为 10mA。使用时一般接旁路电容到地。

第 11 引脚: 一致脉冲输出端。

该集成电路内的移位寄存器的各位输出为“1”码或为“0”码时，该端输出负极性一致脉冲，该脉冲经外接音节平滑滤波器后得到量阶控制电压。

第 12 引脚：接口电平控制端。

该端用于控制数字输入接口电平。当该集成电路与 CMOS 电路接口时，该端与 VCC/2 端（第 11 引脚）相连；当该集成电路要与 TTL 电路接口时，该端应该比 V₋ 高二个二极管电压降的点位。

第 13 引脚：接收数据输入端。

该集成电路用于译码时，其接收端的信码从该端输入至该芯片的数字运算放大器内进行比较。在时钟下降沿前后，该端的输入数据应保持有效 0.5 μs，该芯片如果用作编码，则该引脚可不用。

第 14 引脚：编译码时钟输入端。

该端输入时钟信号的频率决定于该集成电路的工作速度，当时钟的下降沿到来时，芯片内的移位寄存器工作。

第 15 引脚：编码/译码方式控制端。

当该端用于选择编码工作方式时，应接高电平，使芯片内的模拟运算放大器与移位寄存器相连接；当该端用于选择译码工作方式时，应接低电平，使该片内的数字运算放大器与移位寄存器相连接。

第 16 引脚：正电源输入端。

该端与 GND 端电压差为 4.75~16.5V 之间。

我们采用的实验电路原理图中开关状态有如下含义：

S₁₁ 表示内时钟振荡器的“通”“断”

S₇、S₈ 表示内、外时钟的选择

U₁₀ 表示内时钟 8K、16K、32K、64K 的选择

S₁、S₃ 表示自适应 ΔM 或简单 ΔM 选定

S₅、S₆ 表示大、小量阶选择

K₁、K₂ 表示收话、发话选择

K₃、K₄ 表示编码器 A、B 输出的码子极性为同相或反相。

当开关 S₁、S₅ 拨到简单 ΔM 时，移位寄存器和逻辑电路所组成的三连码检测器输出（11 脚）被断开，不起作用，其工作原理如图所示（不包括虚框部分）

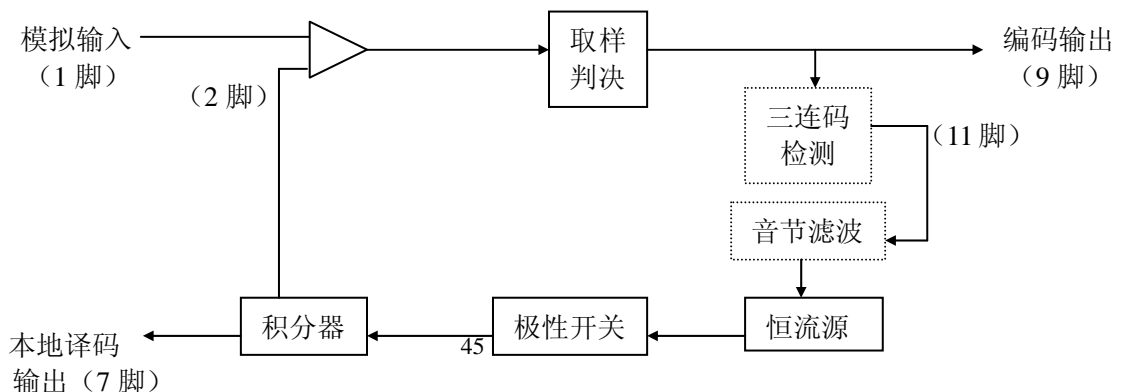


图 6

量阶与积分电容之间关系 $\Delta = I_i T_s / C$

其中 I_i 为恒流源电流, C 为积分电容, 当小量阶时,

$$C = C_1 = C_{16} = 0.1\mu F \quad , \quad \text{当大量阶时} \quad ,$$

$$C = C_1 \parallel C_{49} = C_{16} \parallel C_{48} = 0.2\mu F$$

可见量阶 Δ 与取样时钟 f_s 有关, f_s 越大, Δ 越小。在实际电路中, 本地译码输出以斜率跟踪输入信号变化, 以斜变波形替代阶梯波形。在无模拟输入编码器时, 本地译码器输出——三角波形。

当 S_1 (或 S_3) 放置自适应 ΔM 处时, 三连码检测器输出音节滤波器控制恒流源输出 I_i 的变化, 使本地译码器输出信号的斜率发生相应变化。本实验所采用的自适应 ΔM 芯片为 MC34115 (或 MC3417) 其调制方式称为 CVSDM 即斜率连续可变增量调制, 其详细指标查阅“现代通信系统集成电路使用手册 郭维编著 电子工业出版社出版”一书。

四、实验步骤

1、正确连接电源+12V线, 地线。

2、(选用A发B收方式) 1KHz正弦输入 (P7与P5相连), A编码 (P1) 与B译码 (P4) 相连。

3、观测 4096KHz、2048KHz、1024KHz、64KHz、32KHz、16KHz、8KHz点波形。观测同步信号 1KHz准正弦信号, 同时观察相互之间的相位关系。

4、时钟可选择内时钟时, 采用同步信号 1KHz便于波形的观察。

5、观察自适应 ΔM 编译器的工作过程。我们可以将A编译码器置“编码方式”(开关置发话处), B编译码器置译码器置“译码方式”(开关置收话处)。S₁₁置通, S₇、S₈置于内时钟处, U₁₀可任意选择时钟频率。S₁、S₃置于自适应 ΔM 处, S₅、S₆置于小量阶处, K₃置于同相码处。将 1KHz正弦信号出“P₇”送入正弦信号入“P₅”, 观察 P₁、T₁₁、T₁₀且填写表 1。

表 1

观测点 \ 信号幅度	$A = 0$	$A_K < A < A_{max}$	$A = A_{max}$	$A > A_{max}$
1. 输入信号				
2. 量阶波形				
3. 重合输出				
4. 码				

注 A: 信号幅度 A_K : 起始编码时信号电平, $A_K = \Delta/2$

A_{\max} ：临界过载电平，即输入信号加大时，接收端输出（T8）最大不失真时的A即为 A_{\max} （A发B收模式）。

- 6、使开关置于合适位置， $f_s = 32KH_z$ ，输入同步信源 $1KH_z$ ，改变 $1KH_z$ 幅值，完成表 2，要求的过载特性测量，画出临界过载量阶波形、过载失真量阶波形与输入信号比较的波形图。

表 2

A_{\max} 方 式	f	$1KH_z$	
		理论值	实测值
简单 ΔM 小量阶			
简单 ΔM 大量阶			
自适应 ΔM 小量阶			
自适应 ΔM 大量阶			

注 A_{\max} 临界过载电平 $A_{\max} = \Delta f_s / 2\pi f$
 Δ 量阶电平
 f_s 取样时钟频率
 f 信号频率

- 7、将开关置于合适位置， f_s 分别为 $16KH_z$ 、 $32KH_z$ ，输入同步信源 $1KH_z$ 正弦信号，改变其幅值完成表 3，所要求的编码动态范围特性测量

表 3

时钟 f_s	$16KH_z$				$32KH_z$			
	理论值		实测值		理论值		实测值	
编码电平	A_K	A_{\max}	A_K	A_{\max}	A_K	A_{\max}	A_K	A_{\max}
简单 ΔM 大量阶								
自适应 ΔM 大量阶								
自适应 ΔM 小量阶								

注 D: 编码动态范围 实测值: $D = 20\lg(A_{\max} / A_K)db$
 理论值: $D = 20\lg(f_s / \pi f)$

- 8、使开关置于合适位置， f_s 分别为 16KH_z ， 32KH_z ， f 为输入同步信号， 1KH_z 正弦信号，在信号电平幅度达到临界过载电平条件下，完成表 4，所要求的量化信噪比的测量。其中实测值需要失真度测试仪完成，因为失真度与信噪比互为倒数，所以当用失真度仪测出失真度为 X 值时，其倒数 $\frac{1}{X}$ ，即为信噪比。若无该仪器，可用示波器观察译码波形失真程度，从而有感性认识。

表 4

f_s	16KH_z		32KH_z	
	理论值	实测值	理论值	实测值
f_B	0~3K	0~3K	0~3K	0~3K
简单 ΔM 大量阶 S/N_q				
自适应 ΔM 大量阶 S/N_q				

注：

$$(S/N_q)dB = 30\lg f_s - 20\lg f - 10\lg fx - 14db$$

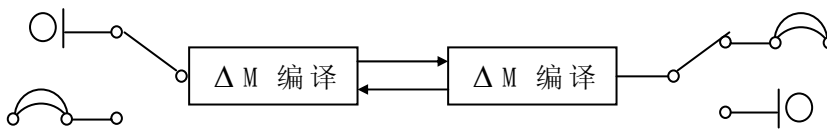
$$= 0.04\left(\frac{f_s^3}{f^2 f_B}\right)$$

- 9、使开关置于合适位置，将外低频信号源正弦信号保持一定幅度 $A=1V$ 不变，送入编码器，测量译码器输出的幅频特性。完成表 5。

表 5 (A 进 B 出模式时，测试点为输出端 T8)

f	300 Hz	600 Hz	900 Hz	1.2K Hz	1.5K Hz	1.8k Hz	2.1k Hz	2.4k Hz	2.7k Hz	3kHz
$A_0(V)$										

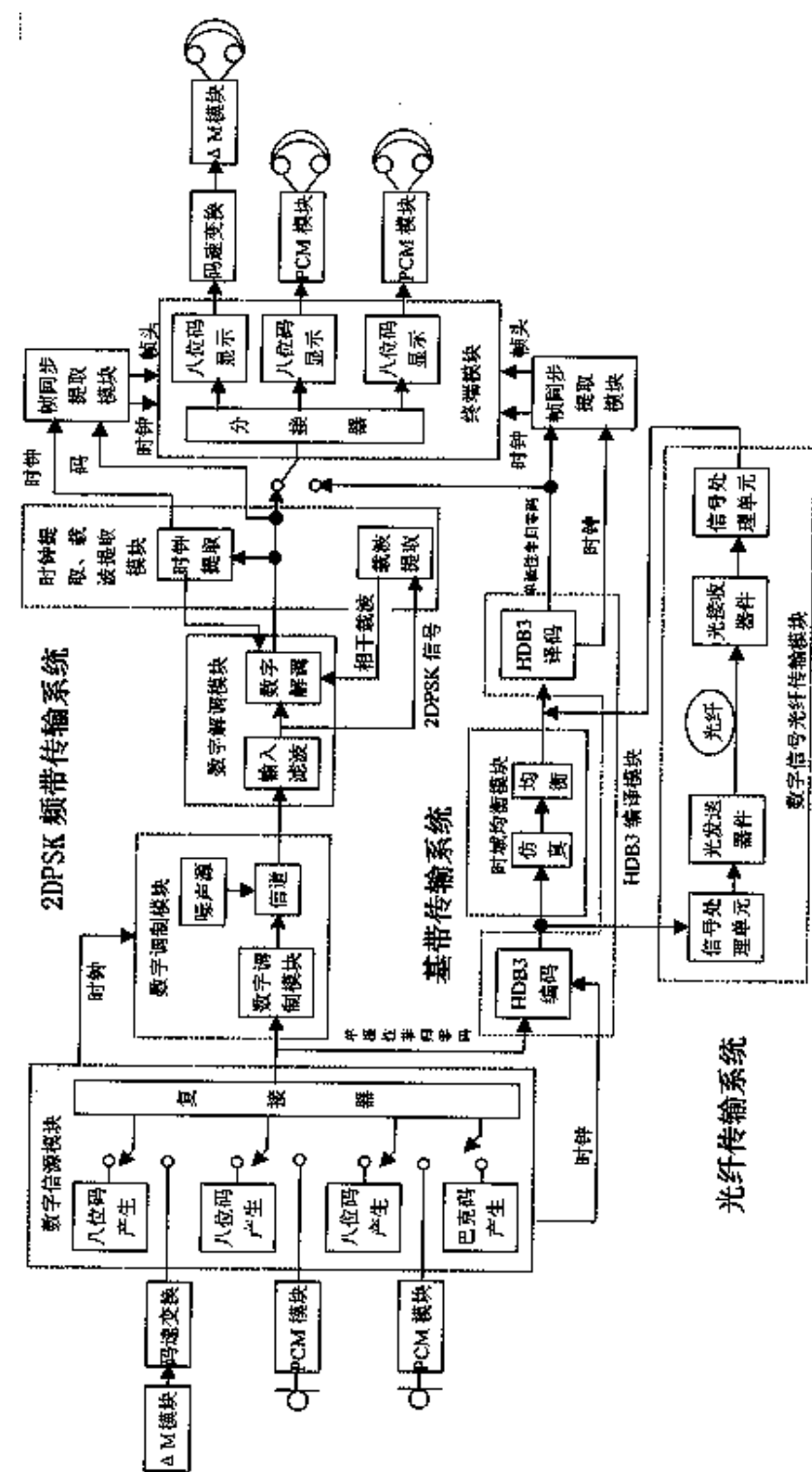
- 10、掌握双方半双工通话实验方法，当 f_s 为 8K、16K、32K、64K 时的效果比较



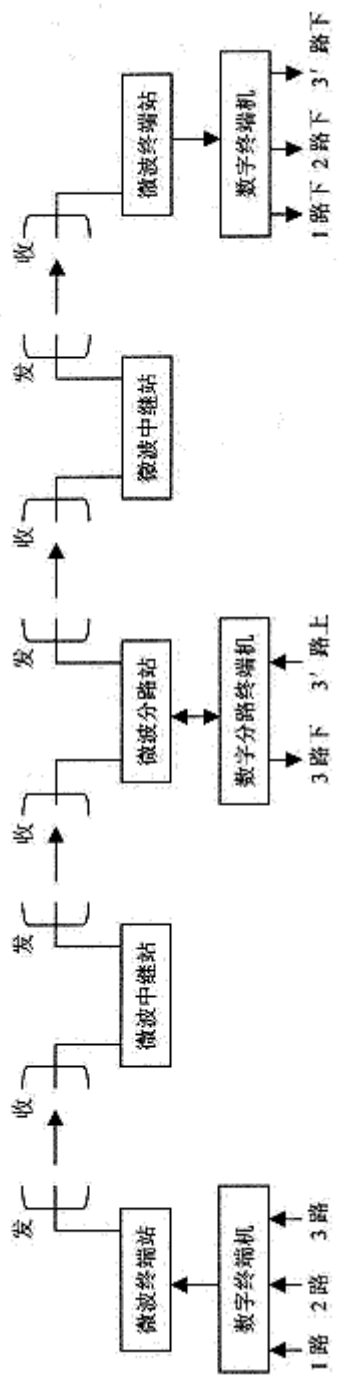
实验报告要求：

- (1) 比较是实测值与理论值的差异
- (2) 分析过载失真特性与输入信号频率，量阶大小的关系，比较简单 ΔM 与自适应 ΔM 的过载性能
- (3) 分析编码动态范围与取样频率的关系，比较比较简单 ΔM 与自适应 ΔM 的过载性能

- (4) 分析译码输出的幅频特性，并绘出曲线
- (5) 半双工通话实验主观感受如何？怎样改善 ΔM 通话质量



2 人可通话的时分复用基带传输、2DPSK 频带传输、光纤传输通信系统实验方框图



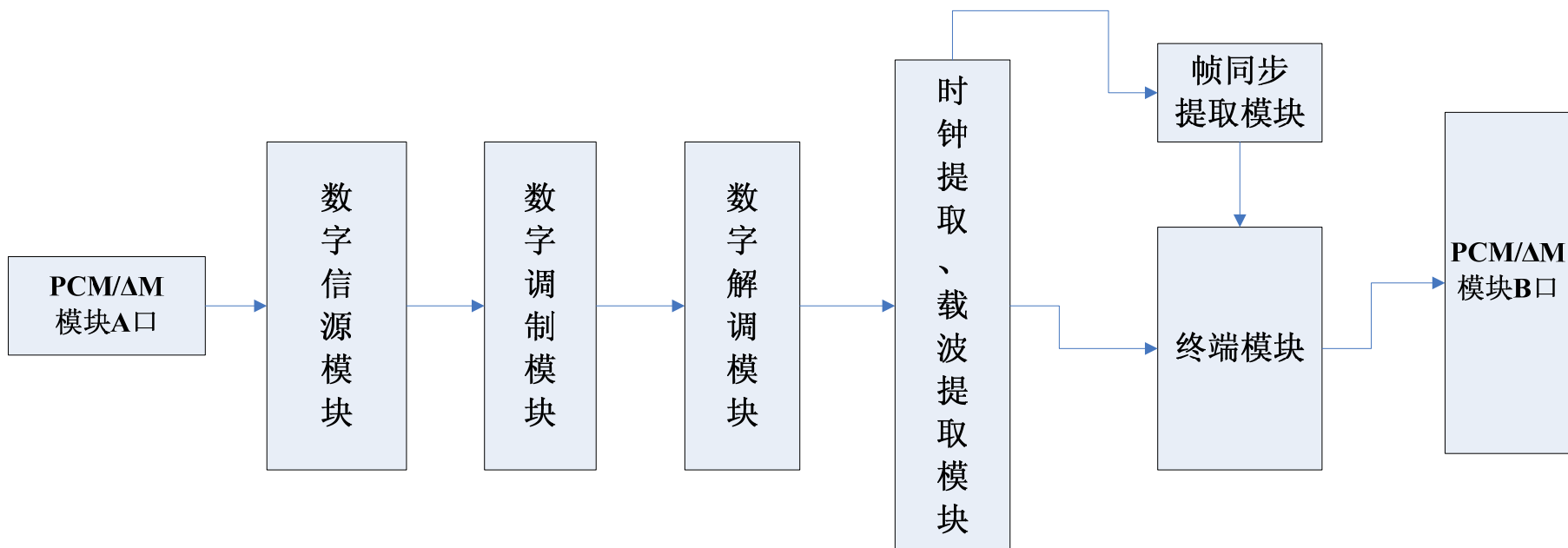
两人可通话时分复用 2DPSK 频带传输系统实验

要求：能独立完成七个模块组成的系统并且采用下列方法之一

- 1、数字解调用最佳接收模式。（成绩为A）
- 2、数字解调用非最佳接收模式。（成绩为A-）

完成语音从PCM/ΔM 模块A口 输入（话筒），从PCM/ΔM 模块B口 输出（能听到声音）者即通过考试。

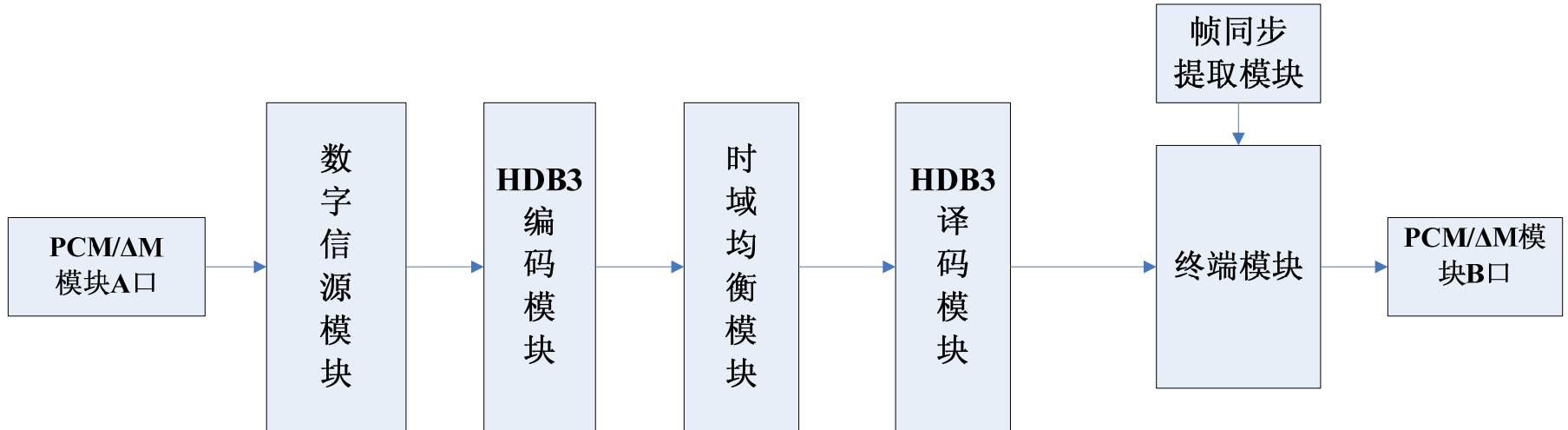
无法通话需参加考试。



频带传输系统实验框图

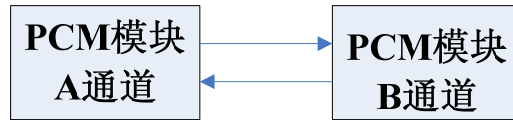
两人可通话时分复用基带传输系统实验

- 要求：**
- 1、能按要求独立完成六个模块组成系统实验且完成语音从 PCM/ Δ M 模块 A 口 输入（话筒），从 PCM/ Δ M 模块 B 口 输出（能听到声音）者即通过考试。（成绩为 A）
 - 2、无时域均衡模块但能通话为 （成绩为 B）
 - 3、**无法通话需参加考试。**



两人可通话时分复用基带传输实验系统框图

PCM 通话实验



- 要求：1、独立完成 PCM 全双工通话系统实验，即能两人通话。如能完成，成绩为 B，
2、无法通话需参加考试。

ΔM 通话实验



- 要求：1、独立完成通话实验。
2、绘出输入信号幅度满足 $A_K \leq A \leq A_{\max}$ 时输入信号对应的 ΔM 码。
3、若能全部完成，成绩为 B。
4、无法通话且绘不出正确 ΔM 码需参加考试。